

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-093275

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

G11C 11/401  
G11C 11/41  
G11C 11/406  
G11C 16/04

(21)Application number : 11-264779

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 20.09.1999

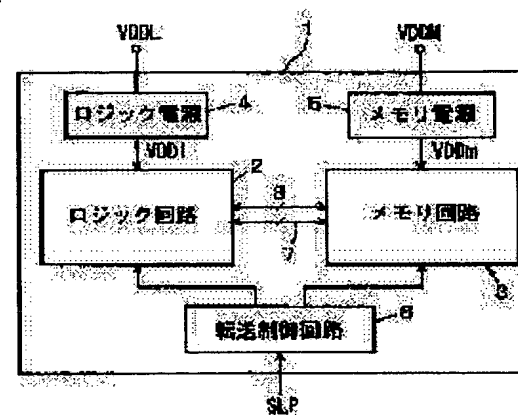
(72)Inventor : ARIMOTO KAZUTAMI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory mixing LSI in which current consumption at the time of a standby state can be reduced.

SOLUTION: At the time of a sleep mode, after holding data of a logic circuit 2 is evacuated to a memory circuit 3 under control of a transfer control circuit 6, supplying operation power source voltage to the logic circuit 2 from a logic power source 4 is stopped.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-93275  
(P2001-93275A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
G 1 1 C 11/401		G 1 1 C 11/34	3 7 1 G 5 B 0 1 5
11/41			Z 5 B 0 2 4
11/406			3 6 3 J 5 B 0 2 5
16/04			3 6 3 L
		17/00	6 2 5
審査請求 未請求 請求項の数20 O L (全 26 頁)			

(21)出願番号 特願平11-264779

(22)出願日 平成11年9月20日(1999.9.20)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 有本 和民

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

Fターム(参考) 5B015 HH04 JJ05 JJ07 KB33 KB74

KB91 PP07 PP08

5B024 AA01 BA20 BA29 DA08 DA14

5B025 AA07 AD01 AD04 AD05 AD09

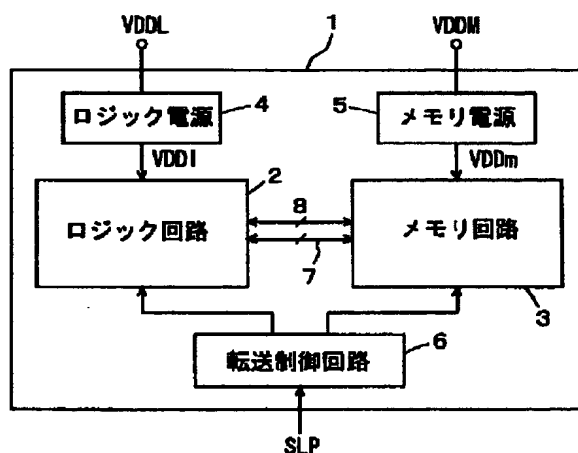
AE06

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 スタンバイ状態時における消費電流を低減することのできるメモリ混載LSIを提供する。

【解決手段】 スリープモード時、ロジック回路(2)の保持データを転送制御回路(6)の制御のもとにメモリ回路(3)へ退避させた後、ロジック回路(2)に対するロジック電源(4)からの動作電源電圧の供給を停止する。



**【特許請求の範囲】**

**【請求項 1】** 与えられた信号に所定の処理を行なうロジック回路、

前記ロジック回路と同一半導体基板上に形成され、前記ロジック回路の使用するデータを格納するためのメモリ回路、

特定動作モード時、前記ロジック回路のデータを前記メモリ回路へ転送して前記メモリ回路に記憶させるためのデータ退避回路、および前記特定動作モード時、前記ロジック回路への電源電圧供給を停止する電源を備える、半導体集積回路装置。

**【請求項 2】** 前記ロジック回路は、クロック信号に同期してデータを転送する複数のフリップフロップと、

第 1 の予め定められたフリップフロップの出力信号に所定の処理を施して第 2 の予め定められたフリップフロップへ該処理結果信号を出力する論理処理回路とを含み、前記データ退避回路は、前記特定動作モード時、前記複数のフリップフロップの保持するデータ信号を前記メモリ回路へ転送する手段を含む、請求項 1 記載の半導体集積回路装置。

**【請求項 3】** 前記データ退避回路は、前記特定動作モードを指定するフラグを発生するフラグ発生回路を含み、

前記メモリ回路は、前記フラグ発生回路からのフラグが前記特定動作モードを指定するとき出力ハイレベル状態となるインタフェース回路を含み、前記インタフェース回路は、前記ロジック回路からのデータを受ける入力回路を含む、請求項 1 記載の半導体集積回路装置。

**【請求項 4】** 前記特定動作モード完了時、前記メモリ回路に退避させたデータを前記ロジック回路へロードするためのロード制御回路をさらに備える、請求項 1 記載の半導体集積回路装置。

**【請求項 5】** 前記メモリ回路は、行列状に配列される複数のダイナミック型メモリセルを有するメモリアレイと、前記メモリアレイの行選択に関連する動作を行なう行系回路と、

前記メモリアレイの列選択に関連する動作を行なう列系回路とを含み、

前記電源は、前記特定動作モード時、前記列系回路への電源電圧供給を停止するための列系電源回路を含む、請求項 1 記載の半導体集積回路装置。

**【請求項 6】** 前記特定動作モード時、前記列系電源回路への前記メモリ回路外部からの電源電圧供給が停止される、請求項 5 記載の半導体集積回路。

**【請求項 7】** 前記行系回路は、前記メモリアレイのメモリセルの記憶データのリフレッシュを行なうためのリフレッシュ制御回路を含む、請求項 5 記載の半導体集積

回路装置。

**【請求項 8】** 前記メモリ回路は、行列状に配列される複数のスタティック型メモリセルを有するメモリアレイと、

前記メモリアレイのメモリセルへアクセスするための周辺回路とを含み、

前記電源は、前記特定動作モード時、前記メモリアレイへの電源電圧の供給を継続しかつ前記周辺回路への電源電圧供給を停止するためのメモリ電源を含む、請求項 1 記載の半導体集積回路装置。

**【請求項 9】** 前記メモリ回路は、行列状に配列される複数の不揮発性メモリセルを有するメモリアレイと、

前記メモリアレイのメモリセルへアクセスするための周辺回路とを含み、

前記電源は、前記特定動作モード時、前記メモリアレイおよび周辺回路への電源電圧供給を停止するメモリ電源を含む、請求項 1 記載の半導体集積回路装置。

**【請求項 10】** 前記メモリ電源は、前記メモリ回路外部から与えられる電源電圧を受ける電源ノードを含み、前記特定動作モード時前記電源ノードへの外部からの電源電圧の供給が停止される、請求項 9 記載の半導体集積回路装置。

**【請求項 11】** 前記メモリ回路は、行列状に配列される複数のメモリセルを有するメモリアレイを含み、前記データ退避回路は、前記メモリアレイの同一行を繰返しアクセスするようにアドレスを発生するための手段を含む、請求項 1 記載の半導体集積回路装置。

**【請求項 12】** 前記リフレッシュ制御回路は、前記メモリアレイの前記データ退避回路により退避されたデータを格納する領域のデータのリフレッシュを行なうようにアドレスを発生する手段を含む、請求項 7 記載の半導体集積回路装置。

**【請求項 13】** 前記リフレッシュ制御回路は、通常モード時のリフレッシュ間隔よりも前記特定動作モード時のリフレッシュ間隔を長くするための手段を含む、請求項 12 記載の半導体集積回路装置。

**【請求項 14】** 前記リフレッシュ制御回路は、リフレッシュ行を指定するリフレッシュアドレスを発生するリフレッシュアドレスカウンタと、前記特定動作モード時、前記リフレッシュアドレスカウンタの発生するアドレスの範囲を設定するリフレッシュ領域設定手段とを含む、請求項 7 記載の半導体集積回路装置。

**【請求項 15】** 前記電源は、前記特定動作モード時、前記ロジック回路への電源電圧供給を停止するロジック電源を備える、請求項 1 記載の半導体集積回路装置。

**【請求項 16】** 前記ロジック電源は、前記特定動作モード時に供給が停止される外部電源電圧を受ける電源ノードを含む、請求項 15 記載の半導体集積回路装置。

【請求項 17】 前記ロジック回路は、  
各々がクロック信号に同期して信号を転送する複数のフリップフロップと、  
各々が前記複数のフリップフロップの予め定められた第 1 のフリップフロップの出力信号を受けて所定の処理を行なって予め定められた第 2 のフリップフロップへ伝達する複数の演算回路とを含み、  
前記ロジック電源は、  
前記演算回路へ電源電圧を供給するための第 1 の電源と、  
各前記フリップフロップに設けられ、各前記フリップフロップへ動作電源電圧を供給するフリップフロップ電源とを備え、前記フリップフロップ電源は、前記特定動作モード時遮断状態となって各前記フリップフロップへ動作電源電圧の供給を停止するスイッチングトランジスタを含み、  
前記第 1 の電源は、前記特定動作モード時遮断状態となって前記演算回路へ動作電源電圧供給を停止する第 2 のスイッチングトランジスタを含む、請求項 15 記載の半導体集積回路装置。

【請求項 18】 前記列系回路は、前記行系回路に含まれる行選択制御回路の出力信号を受けて活性化されて列選択に関連する動作を行なう列選択制御回路を含み、  
前記特定動作モード時、前記列選択制御回路の出力信号の論理レベルを固定するための制御手段をさらに備える、請求項 5 記載の半導体集積回路装置。

【請求項 19】 前記列系回路は、前記メモリアレイとデータを授受するデータアクセス回路を制御する列アクセス制御回路を含み、  
前記列アクセス制御回路を前記特定動作モード時その出力信号を非活性状態に強制的に設定する制御手段をさらに備える、請求項 5 記載の半導体集積回路装置。

【請求項 20】 前記特定動作モード時、前記列系回路の出力信号の論理レベルを固定するための制御手段をさらに備える、請求項 5 記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置に関し、特に、メモリ回路とロジック回路とが同一基板上に集積化された半導体集積回路装置に関する。より特定的には、この発明は、メモリ混載半導体集積回路装置の消費電力を低減するための構成に関する。

【0002】

【従来の技術】ロジック回路とメモリ回路とを同一半導体基板上に集積化したシステム LSI またはメモリ混載 LSI が広く用いられている。このメモリ混載 LSI では、ロジック回路とメモリ回路とが半導体基板上の内部配線で相互接続される。この内部配線は、ボード上配線に比べて負荷が小さく、高速にかつ低消費電力で信号／データの伝送を行なうことができる。また、この半導体

基板上の内部配線は、ピン端子のピッチ条件の影響を受けないため、ロジック回路とメモリ回路との間のデータのビット幅を広くすることができ、データ伝送時のバンド幅を広くすることができる。

【0003】

【発明が解決しようとする課題】このようなメモリ混載 LSI は、小占有面積で高機能のシステムを実現するためのシステム統合化の流れの中で、そのゲート規模が増大している。一方において、このメモリ混載 LSI は、消費電力低減のための低電源電圧化および処理速度を速くするための高速化などの性能向上も図られている。

【0004】一般にロジック LSI においては、そのゲート数（トランジスタ数）が増大すると、トランジスタの全体のサブスレッショルド電流が増大し、このサブスレッショルド電流の増加によりスタンバイ時における消費電力が増大するという問題が生じる。

【0005】また、低電源電圧下で高速動作を実現するためには、トランジスタのしきい値電圧  $V_{th}$  の絶対値を小さくする必要がある。しかしながら、しきい値電圧  $V_{th}$  の絶対値を小さくした場合、サブスレッショルド電流がより一層増加するため、スタンバイ時の消費電力が応じて増加するという問題が生じる。

【0006】メモリ混載 LSI を携帯用の機器に用いる場合、スタンバイ時の消費電力の増大により、駆動電源である電池の寿命が短くなるという問題が生じる。

【0007】それゆえ、この発明の目的は、スタンバイ時の消費電力を低減することのできる半導体集積回路装置を提供することである。

【0008】この発明の他の目的は、低電源電圧下でも高速かつ低消費電力で動作することのできるメモリ混載 LSI を提供することである。

【0009】この発明の特定の目的は、スタンバイ電流を大幅に低減することのできるメモリ混載 LSI を提供することである。

【0010】

【課題を解決するための手段】請求項 1 に係る半導体集積回路装置は、所定の処理を行なうロジック回路と、このロジック回路の使用するデータを格納するためのメモリ回路と、特定動作モード時、ロジック回路のデータをメモリ回路へ転送してメモリ回路に転送データを記憶させるためのデータ退避回路と、特定動作モード時、ロジック回路への電源電圧供給を停止する電源を備える。

【0011】請求項 2 に係る半導体集積回路装置は、請求項 1 のロジック回路が、クロック信号に同期してデータを転送する複数のフリップフロップと、これらの複数のフリップフロップの第 1 の予め定められたフリップフロップの出力信号に所定の処理を施して第 2 の予め定められたフリップフロップへ処理結果信号を出力する論理処理回路とを含み、データ退避回路が、特定動作モード時、複数のフリップフロップの保持データをメモリ回路

10

20

30

40

50

へ転送する手段を含む。

【0012】請求項3に係る半導体集積回路装置は、請求項1のデータ退避回路が、特定動作モードを指定するフラグを発生するフラグ発生回路を含み、メモリ回路は、このフラグ発生回路からのフラグが特定動作モードを指定するとき、出力ハイインピーダンス状態となるインタフェース回路を含む。このインタフェース回路は、ロジック回路からのデータを受ける入力回路を含む。

【0013】請求項4に係る半導体集積回路装置は、請求項1の装置が、さらに、特定動作モード完了時、メモリ回路に退避させたデータをロジック回路へロードするためのロード制御回路を備える。

【0014】請求項5に係る半導体集積回路装置は、請求項1のメモリ回路が、行列状に配列される複数のダイナミック型メモリセルを有するメモリアレイと、このメモリアレイの行選択に関連する動作を行なうための行系回路と、メモリアレイの列選択に関連する動作を行なうための列系回路とを含み、電源は、特定動作モード時列系回路への電源電圧供給を停止するための列系電源回路を含む。

【0015】請求項6に係る半導体集積回路装置は、請求項5の装置において、特定動作モード時、列系電源回路へのメモリ回路外部からの電源電圧供給が停止される。

【0016】請求項7に係る半導体集積回路装置は、請求項5の行系回路が、アレイのメモリセルの記憶データのリフレッシュを行なうためのリフレッシュ制御回路を含む。

【0017】請求項8に係る半導体集積回路装置は、請求項1のメモリ回路が、行列状に配列される複数のスタティック型メモリセルを有するメモリアレイと、このメモリアレイのメモリセルへアクセスするための周辺回路とを含む。電源は、特定動作モード時、メモリアレイへの電源電圧の供給を継続しつつ周辺回路への電源電圧供給を停止するためのメモリ電源を含む。

【0018】請求項9に係る半導体集積回路装置は、請求項1のメモリ回路が、行列状に配列される複数の不揮発性メモリセルを有するメモリアレイと、このメモリアレイのメモリセルへアクセスするための周辺回路とを含み、電源が、特定動作モード時メモリアレイおよび周辺回路への電源電圧供給を停止するメモリ電源を含む。

【0019】請求項10に係る半導体集積回路装置は、請求項9のメモリ電源が、メモリ回路外部から与えられる電源電圧を受ける電源ノードを含み、特定動作モード時、この電源ノードへの外部からの電源電圧の供給が停止される。

【0020】請求項11に係る半導体集積回路装置は、請求項1のメモリ回路が、行列状に配列される複数のメモリセルを有するメモリアレイを有し、データ退避回路は、このメモリアレイの同一行を繰返しアクセスするよ

うにアドレスを発生する手段を含む。

【0021】請求項12に係る半導体集積回路装置は、請求項7のリフレッシュ制御回路が、メモリアレイのデータ退避回路により退避されたデータを格納する領域のデータのリフレッシュを行なうようにアドレスを発生する手段を含む。

【0022】請求項13に係る半導体集積回路装置は、請求項12のリフレッシュ制御回路が、通常モード時のリフレッシュ間隔よりも特定動作モード時のリフレッシュ間隔を長くするための手段を含む。

【0023】請求項14に係る半導体集積回路装置は、請求項7のリフレッシュ制御回路が、リフレッシュ行を指定するリフレッシュアドレスを発生するリフレッシュアドレスカウンタと、特定動作モード、このリフレッシュアドレスカウンタの発生するアドレスの範囲を設定するリフレッシュ領域設定手段とを含む。

【0024】請求項15に係る半導体集積回路装置は、請求項1の電源が、特定動作モード時、ロジック回路への電源電圧供給を停止するロジック電源を備える。

【0025】請求項16に係る半導体集積回路装置は、請求項15のロジック電源が、特定動作モード時に供給が停止される外部電源電圧を受ける電源ノードを含む。

【0026】請求項17に係る半導体集積回路装置は、請求項15のロジック回路が、各々がクロック信号に同期して信号を転送する複数のフリップフロップと、各々が複数のフリップフロップの所定の第1のフリップフロップの出力信号を受けて所定の処理を行なって所定の第2のフリップフロップへ処理結果信号を伝達する複数の演算回路とを含む。ロジック電源は、演算回路へ電源電圧を供給する第1の電源と、各フリップフロップに対して設けられ、各フリップフロップへ動作電源電圧を供給するフリップフロップ電源とを備える。このフリップフロップ電源は、特定動作モード時、遮断状態となって各フリップフロップへの動作電源電圧の供給を停止するスイッチングトランジスタを含む。第1の電源は、特定動作モード時遮断状態となって演算回路への動作電源電圧供給を停止する第2のスイッチングトランジスタを含む。

【0027】請求項18に係る半導体集積回路装置は、請求項5の列系回路が、行系回路に含まれる行制御回路の出力信号を受けて活性化されて、列選択に関連する動作を行なう列選択制御回路を含む。

【0028】この請求項18に係る半導体集積回路装置は、さらに、特定動作モード時、列選択制御回路の出力論理レベルを固定するための制御手段を備える。

【0029】請求項19に係る半導体集積回路装置は、請求項5の列系回路が、メモリアレイとデータを授受するデータアクセス回路を制御する列アクセス制御回路を含む。

【0030】この請求項19に係る半導体集積回路装置

は、さらに、特定動作モード時、列アクセス制御回路の出力信号を非活性状態に強制的に設定する制御手段を備える。

【0031】請求項20に係る半導体集積回路装置は、請求項5の装置が、さらに、特定動作モード時、列系回路の出力信号の論理レベルを固定するための制御手段を備える。

【0032】特定動作モード時に、ロジック回路の保持データをメモリ回路へ退避させてメモリ回路で保持することにより、ロジック回路の電源電圧供給を停止することができ、ロジック回路部におけるサブスレッショルド電流を低減することができる。したがって、このロジック回路のMOSトランジスタのしきい値電圧の絶対値を小さくすることができ、低電源電圧下でも、高速で動作しかつスタンバイ時におけるリーク電流による消費電流を低減することができる。

#### 【0033】

【発明の実施の形態】〔実施の形態1〕図1は、この発明に従う半導体集積回路装置の全体の構成を概略的に示す図である。図1において、半導体集積回路装置（以下、メモリ混載LSIと称す）1は、所定の処理を行なうロジック回路2と、ロジック回路2とデータ/信号の授受を行ないロジック回路2に必要なデータを少なくとも格納するメモリ3と、外部からのロジック電源電圧VDDLを受けてロジック回路2に対する動作電源電圧VDD1を供給するロジック電源4と、外部からのメモリ電源電圧VDDMを受けてメモリ回路3に対する動作電源電圧VDDmを供給するメモリ電源5と、外部からのたとえばメインプロセッサから与えられるスタンバイ状態指示信号（スリープモード指示信号）SLPに従ってロジック回路2とメモリ回路3の間でデータの転送を行なわせる転送制御回路6を含む。

【0034】ロジック回路2とメモリ回路3とはデータバス7により結合される。ロジック回路2とメモリ回路3との間のデータバス7を介してのデータ転送は、ロジック回路2からメモリ回路3に対しコントロールバス8を介してアドレス信号および動作モードを指定するコマンドまたは制御信号を与えることにより実行される。

【0035】メモリ混載LSI1を含むシステムが比較的長期にわたって使用されない場合、メインプロセッサがこれを検知して、スリープモード指示信号SLPを活性化する。このスリープモード指示信号SLPが活性化されると、転送制御回路6の制御のもとに、ロジック回路2に含まれるデータが、データバス7を介してメモリ回路3に退避される。この退避動作が完了すると、転送制御回路6は図示しないメインプロセッサに退避完了を報知し、ロジック電源4に対するロジック電源電圧VDDLの供給を停止する。一方、メモリ電源5へは、スリープモード指示信号SLPが活性状態にあっても、メモリ電源電圧VDDMが供給される。

【0036】ロジック回路2においては、数多くのMOS（絶縁ゲート型電界効果）トランジスタが構成要素として含まれている。スタンバイ状態時、このロジック回路2に対する電源電圧の供給を停止することにより、ロジック回路2におけるサブスレッショルド電流による電流消費を防止することができる。

【0037】これにより、ロジック回路において低いしきい値電圧MOSトランジスタ（しきい値電圧の絶対値の小さなMOSトランジスタ）を使用することができ、低電源電圧下でも高速に動作するロジック回路2を得ることができる。

【0038】メモリ回路3は、ダイナミック・ランダム・アクセス・メモリ（DRAM）、スタティック・ランダム・アクセス・メモリ（SRAM）およびフラッシュメモリ（フラッシュEEPROM）のいずれであってもよい。DRAMの場合、ワード線を選択状態へ駆動するために昇圧電圧VPPが使用されるため、その構成要素のMOSトランジスタのゲート絶縁膜が比較的厚くされ、応じてそのしきい値電圧も、ロジック回路2に含まれるMOSトランジスタのそれよりも絶対値が大きくなる。SRAMの場合、メモリセルがフリップフロップ構造を有しており、メモリセルにおけるリーク電流は小さい。また、フラッシュメモリの場合、プログラム用高電圧Vpが使用されるため、構成要素のMOSトランジスタのゲート絶縁膜はロジック回路2のMOSトランジスタのゲート絶縁膜よりも厚くされ、そのしきい値電圧の絶対値も比較的大きくされる。したがって、メモリ回路3において、スタンバイ状態時におけるサブスレッショルド電流は、十分に抑制することができる。

【0039】ロジック回路2とメモリ回路3の間のデータバス7は、内部配線で構成されており、このデータバス7のビット幅は十分広くすることができ、ロジック回路2とメモリ回路3の間のデータ転送時のバンド幅を十分広くすることができる。これにより、低電源電圧下でも、高速かつ低消費電流で動作するメモリ混載LSIを実現することができる。

【0040】スリープモード指示信号SLPが非活性化されると、転送制御回路6の制御のもとに、メモリ回路3に退避されたデータがロジック回路2の元の位置へロードされる。したがって、スタンバイ状態時においてロジック回路2に対して動作電源電圧供給を停止し、スタンバイ状態の間にロジック回路2の内部データがすべて消失しても、動作再開時、再びロジック回路2を元の状態に復帰させることができる。このスリープモード解除時において、ロジック電源電圧VDDLが再び供給される。したがってスリープモード解除後、メモリ回路3からロジック回路2へデータを転送し、次の処理を実行することができる。

【0041】図2は、図1に示すロジック電源4およびメモリ電源5の構成の一例を示す図である。図2におい

て、ロジック電源4は、外部から与えられるロジック電源電圧VDDLを受けてロジック回路2に対する動作電源電圧VDDIを生成するピン端子4aを含む。メモリ電源5は、外部から与えられるメモリ電源電圧VDDMを受けてメモリ回路3に対する動作電源電圧VDDmを生成するピン端子5aを含む。メモリ混載LSI1の外部に設けられたシステム電源からロジック電源電圧VDDLおよびメモリ電源電圧VDDMがそれぞれ生成される。

【0042】スタンバイ状態時、外部からのロジック電源電圧VDDLの供給を停止するだけであり、容易にメモリ混載LSIの電源電圧の制御を行なうことができる。メモリ電源5は、降圧回路を含んでもよい。

【0043】図3は、図1に示すロジック回路2の基本的構成を概略的に示す図である。図3において、ロジック回路2は、入力信号IN0-INnをそれぞれ受けるフリップフロップ(F/F)F00-F0nと、これらのフリップフロップF00-F0nの所定の組の出力信号をそれぞれ受けて所定の処理を行なう組合せ論理回路LG00, LG01, …と、組合せ論理回路LG00, LG01, …の出力信号をそれぞれ受けるフリップフロップ(F/F)F10, F11, …と、これらのフリップフロップF10, F11, …の所定の組の出力信号を受けて所定の処理を行なう組合せ論理回路LG10…LG1mと、組合せ論理回路LG10…LG1mの出力信号をそれぞれ受けるフリップフロップ(F/F)F20…F2mを含む。図3に示すように、ロジック回路2は、複数段の組合せ論理回路を含み、各段の間に、フリップフロップ(F/F)が設けられる。

【0044】図4は、図3に示すフリップフロップ(F/F)の構成を概略的に示す図である。図4に示すように、フリップフロップ(F/F)Fは、クロック信号CLKの立上がりに同期して入力信号INをラッチし、出力信号OUTを出力する。クロック信号CLKがLレベルとなると、このフリップフロップ(F/F)Fは、クロック信号CLKがHレベルのときにラッチした出力信号を保持するとともに新たな入力信号を取込む。

【0045】したがって、図3に示すロジック回路2において、組合せ論理回路LG00-LG1mの各々は、このクロック信号CLKに同期して与えられる信号に所定の処理を施して出力し、各フリップフロップ(F/F)を介してこの処理結果が転送されてさらに処理が実行される。ロジック回路2において処理がクロック信号CLKに同期して進行するため、各組合せ論理回路においてタイミングマージンを考慮する必要がなく、高速処理が実現される。

【0046】図5は、図3に示す組合せ論理回路の構成の一例を示す図である。図5において、組合せ論理回路LGは、入力信号IA、IBおよびICを受けるAND/AND複合ゲートG1と、入力信号IDおよびIEを

受けるANDゲートG2と、入力信号IFおよびIGを受けるANDゲートG3と、これらのゲートG1、G2およびG3の出力信号を受けて出力信号OAを生成するANDゲートG4を含む。

【0047】AND/AND複合ゲートG1は、機能的に、入力信号IAおよびIBを受けるANDゲートと、このANDゲートの出力信号と入力信号ICを受けるANDゲートを含む。

【0048】この組合せ論理回路LGにおいては、入力信号IA-IGの論理状態に従って出力信号OAの論理状態が決定される。図5に示す組合せ論理回路LGの構成は、単なる一例であり、このメモリ混載LSIの適用用途に応じて適当に定められる。組合せ論理回路LGとしては、現在与えられている入力信号の論理状態に従って現在の出力信号の論理状態が決定される構成であればよい。

【0049】図6は、この発明の実施の形態1におけるロジック回路の構成を概略的に示す図である。図6において、(k+1)段のフリップフロップ群(F/F群)FG0-FGkと、これらのフリップフロップ群FG0-FGkの間に挿入される論理段LGS1-LGSkと、転送モード時にフリップフロップ群FG0-FG(k-1)の出力信号をそれぞれ次段のフリップフロップ群FG1-FGkへ転送するバイパス回路BYP1-BYPkと、最終段のフリップフロップ群FGkの出力信号を受けてデータバス7上に出力する出力回路OKを含む。

【0050】フリップフロップ群FG0-FGkは、同じ数のフリップフロップ(F/F)を含む。論理段LGS1-LGSkの各々は、それぞれ1以上の組合せ論理回路を含む。論理段LGS1-LGSkがそれぞれ処理する入力信号の数が、異なる場合がある。実際に使用される入力信号の最大数をすべて転送するために、フリップフロップ群FG0-FGk各々においては、同じ数のフリップフロップ(F/F)が設けられ、スリープモード時のデータ転送時に、クロック信号CLKまたは転送制御クロック信号に従って順次データを転送する。

【0051】出力回路OKは、フリップフロップ群FGkの出力データビット数を、データバス7のビット幅に適合するように調整して出力する。出力回路OKから1回に出力されるデータビットは、メモリ回路3において、同じアドレスに従って格納される。したがって、このロジック回路2における内部データ信号のアドレス割当が容易となり、データ退避時およびロード時のアドレス制御が容易となる。

【0052】図7は、1つの論理段に対して入力部および出力部に設けられるフリップフロップ群の構成を示す図である。図7において、フリップフロップ群FGiおよびFGjの間に、論理段LGSjが配置される。フリップフロップ群FGiの出力信号は、転送回路BYPa

により論理段LGS<sub>j</sub>をバイパスされて転送される。論理段LGS<sub>j</sub>の出力部には、論理段LGS<sub>j</sub>の出力信号と転送回路BYP<sub>a</sub>の出力信号の一方を選択するマルチプレクサ(MUX)BYP<sub>b</sub>が設けられる。マルチプレクサ(MUX)BYP<sub>b</sub>の出力信号がフリップフロップ群FG<sub>j</sub>へ与えられる。転送回路BYP<sub>a</sub>およびマルチプレクサBYP<sub>b</sub>がバイパス回路を構成する。

【0053】転送回路BYP<sub>a</sub>は、転送制御信号TXに従って導通し、フリップフロップ群FG<sub>i</sub>およびFG<sub>j</sub>が、補の転送制御信号／TXに従って転送動作を実行する。これらの転送制御信号TXおよび／TXは、図1に示す転送制御回路6から与えられる。マルチプレクサ

(MUX)BYP<sub>b</sub>は、スリープモード指示信号SLPが活性状態のとき、転送回路BYP<sub>a</sub>から転送されるデータを選択し、スリープモード指示信号SLPが非活性状態のときには、マルチプレクサBYP<sub>b</sub>は、論理段LGS<sub>j</sub>の出力信号を選択する。転送回路BYP<sub>a</sub>は、フリップフロップ群FG<sub>i</sub>に含まれるフリップフロップそれぞれに設けられるトランスファゲート(またはトランスマッションゲート)を含む。

【0054】図8は、図7に示す構成をより具体的に示す図である。図8において、フリップフロップ群FG<sub>i</sub>は、フリップフロップ(F/F)Fi0-Fi<sub>n</sub>を含み、フリップフロップ群FG<sub>j</sub>は、フリップフロップFj0-Fj<sub>n</sub>を含む。

【0055】論理段LGS<sub>j</sub>は、フリップフロップFi0-Fi<sub>n</sub>にそれぞれ対応して設けられる組合せ論理回路LGj0-LGj<sub>m</sub>を含む。これらの組合せ論理回路LGj0-LGj<sub>m</sub>の各々は、フリップフロップFi0-Fi<sub>n</sub>の所定の組の出力信号を受ける。

【0056】これらの組合せ論理回路LGj0-LGj<sub>m</sub>にそれぞれ対応して、フリップフロップFj0-Fj<sub>m</sub>が設けられる。フリップフロップFinに対応しては、組合せ論理回路は設けられていない。このフリップフロップFinに対応して、フリップフロップ群FG<sub>j</sub>において、フリップフロップFjnが設けられる。フリップフロップ群FG<sub>i</sub>およびFG<sub>j</sub>において実際の演算処理時に使用されるフリップフロップの数が異なる場合においても、転送制御信号TXに従って、一括してフリップフロップ群FG<sub>i</sub>からフリップフロップ群FG<sub>j</sub>へのデータの転送を実行する。

【0057】組合せ論理回路LGj0-LGj<sub>m</sub>それぞれに対応して、転送制御信号TXに回答して導通するトランスファゲートBS0-BS<sub>m</sub>が設けられ、また組合せ論理回路LGj0-LGj<sub>m</sub>それぞれに対応してデータ選択回路(MUX)DS0-DS<sub>m</sub>が設けられる。これらのデータ選択回路DS0-DS<sub>m</sub>の各々は、対応の組合せ論理回路LGj0-LGj<sub>m</sub>およびトランスファゲートBS0-BS<sub>m</sub>の一方の出力データを、スリープモード指示信号SLPに従って選択する。

【0058】フリップフロップFinに対して設けられるデータ選択回路DS<sub>n</sub>は、トランスファゲートBS<sub>n</sub>の出力データと固定論理レベル(図8においては接地電圧)のデータとを受ける。このデータ選択回路DS<sub>n</sub>の出力データはフリップフロップFjnへ与えられる。

【0059】ダミーのフリップフロップを設け、各フリップフロップ群に含まれるフリップフロップの数を同じとすることにより、フリップフロップ群間で一括してデータ転送を実行することができる。

【0060】図9に示すように、各フリップフロップ群#0-#kにおいてフリップフロップFFの数が同じであり、図の斜線部において、有効データがフリップフロップFFに格納されている状態を考える。この場合でも、各フリップフロップ群は、フリップフロップの数が同じであり、無効データ部分は、無効データ部分として順次転送制御信号TXおよび／TXに従って転送される。出力回路OK(図6参照)により、メモリ回路の退避領域内にこれらのフリップフロップ群の格納データがそれぞれフリップフロップ群#k, #k-1, …#0のブロック単位で格納することができる。ブロックの先頭アドレスAD0, AD1, …AD<sub>k</sub>は、退避時のデータ転送アドレスにより生成することができる。

【0061】図10は、図1に示す転送制御回路6の構成を概略的に示す図である。図10において、転送制御回路6は、退避先頭アドレスを格納する退避先頭アドレスレジスタ6aと、退避先頭アドレスレジスタ6aからの退避先頭アドレスに従って順次退避アドレスを発生する退避アドレス発生回路6bと、スリープモード指示信号SLPに従って、この退避アドレス発生回路6bを活性化し、かつ退避アドレス発生回路6bから与えられたアドレスに従ってメモリ回路に対するアドレスおよび制御信号を生成するとともに、出力回路OKのデータ出力動作を制御する入出力制御回路6cを含む。

【0062】退避アドレス発生回路6bは、退避先頭アドレスレジスタ6aからのアドレスを出発アドレスとして、入出力制御回路6cの制御のもとに順次退避アドレスを生成する。このアドレスは、ロジック回路内の保持データおよび出力回路OKが1回に転送することのできるデータビット幅に応じて適当に生成される。たとえば、このメモリ回路がバーストモードでデータ転送を行なうことができる場合、バースト長のデータが、ロジック回路2内の保持データ量よりも大きい場合には、単に退避先頭アドレスのみをメモリ回路へ与え、順次データをメモリ回路へ転送するだけでデータの退避を行なうことができる。

【0063】この入出力制御回路6cは、スリープモード解除時のロジック回路2へのデータロード時、入力回路IKの動作をまた制御する。スリープモード解除時、メモリ回路からデータをロードする必要があり、入出力制御回路6cは退避アドレス発生回路6bからの退避ア



ドレスに従ってメモリ回路に対するアドレスを生成しかつデータ読出に必要な制御信号を生成する。

【0064】入力回路IKは、メモリ回路からデータを受けると、フリップフロップ群に含まれるフリップフロップの数に適合するように、入力データのビット幅を調整して、初段のフリップフロップ群FG0へ並列に与える。

【0065】退避先頭アドレスレジスタ6aは単に退避先頭アドレスを格納することを要求されるだけであり、高速動作は要求されない。したがって、この退避先頭アドレスレジスタ6aを、しきい値電圧の絶対値の大きなMOSトランジスタで構成し、そのサブスレッショルドリーク電流を抑制する。入出力制御回路6cは、スリープモード指示信号SLPを監視する必要がある。したがって、これらの退避先頭アドレスレジスタ6aおよび入出力制御回路6cには、常時動作電源電圧が供給される。

【0066】転送制御回路6は、半導体集積回路装置1内に形成されるため、退避先頭アドレスレジスタ6aが、メモリ回路内に含まれるように配置されるか、ロジック回路2内に配置されるかは、任意である。したがって、この退避先頭アドレスレジスタ6aは、メモリ回路3内に設けられ、常時電源電圧が供給されるように構成されてもよい。退避先頭アドレスは、固定的に定められていてもよい。

【0067】なお、メモリ回路3内において、スリープモード時のデータ退避領域がダイナミックに決定される場合（空きアドレス領域にのみデータを退避させる）、メモリ回路3内において、この空き領域の先頭アドレスを格納するレジスタが設けられ、入出力制御回路6cの制御のもとに、スリープモード移行時のデータ転送動作時、このメモリ回路内の空き領域先頭アドレス格納レジスタからの空き領域先頭アドレスを、退避先頭アドレスレジスタ6aに格納するように構成されてもよい。

【0068】図11は、ロジック回路2とメモリ回路3のインタフェース部の構成を概略的に示す図である。図11においてロジック回路2は、出力回路OKおよび入力回路IKを含む。出力回路OKは、図示しないクロック信号に同期して与えられたデータ/信号を転送するフリップフロップ(F/F)2aおよび2bと、これらのフリップフロップ2aおよび2bの出力信号をバッファ処理してメモリ回路3へ与える出力バッファ回路2cおよび2dを含む。出力バッファ回路2cから、アドレスおよびコマンドが出力され、出力バッファ回路2dから、メモリ回路3に対する書込データDが出力される。

【0069】入力回路IKは、メモリ回路3から読出されたデータQを受ける入力バッファ回路2eと、入力バッファ回路2eの出力データを、図示しないクロック信号に同期して転送するフリップフロップ2fを含む。これらのロジック回路2およびメモリ回路3の間のデータ

DおよびQは、それぞれ別々のバスを介して転送されるように示す。しかしながら、これらのデータDおよびQは、同一のバスを介して転送されてもよい。

【0070】このメモリ混載LSIにおいては、またスリープモード指示信号SLPに従って電源フラグENおよび/ENを生成する電源フラグ発生回路10が設けられる。この電源フラグ発生回路10は、メモリ電源電圧VDDMを一方動作電源電圧として受けて動作する。

【0071】メモリ回路3のインタフェース部には、ロジック回路2の出力バッファ回路2cの出力信号（アドレス、コマンド）を受けるトライステートバッファ3aと、ロジック回路2の出力バッファ回路2dからの出力データDを受けるトライステートバッファ3bと、トライステートバッファ3aの出力信号をラッチするラッチ回路3cと、トライステートバッファ回路3bの出力データをラッチするラッチ回路3dが設けられる。トライステートバッファ回路3aおよび3bは、電源フラグ発生回路10からの電源フラグENおよび/ENが非活性状態にあり、ロジック回路の電源供給が停止されたことを示すときには、出力ハイインピーダンス状態となる。

【0072】このメモリ回路3は、さらに、データをロジック回路2へ転送するための出力バッファ回路3eを含む。この出力バッファ回路3eは、常時動作するバッファ回路のように示す。しかしながら、メモリ回路3においてデータ出力時活性化される出力イネーブル信号に従って出力バッファ回路3eは、活性化される。

【0073】スリープモード時においては、ロジック回路2への電源電圧VDDLの供給が停止される。したがって、これらの出力バッファ回路2cおよび2dの出力信号がフローティング状態となることが考えられる。この出力バッファ回路2cおよび2dの出力信号が不安定となった場合（ノイズなどの影響により）、トライステートバッファ回路3aおよび3bにおいて貫通電流が流れる可能性がある。ロジック回路2の電源供給停止によるロジック回路2の出力信号の浮上りによるメモリ回路3における貫通電流の発生を防止するために、トライステート入力バッファ3aおよび3bが設けられる。スリープモード時には、電源フラグENおよび/ENが非活性状態となり、これらのトライステートバッファ3aおよび3bが出力ハイインピーダンス状態となる。メモリ回路3においては、その構成要素は、しきい値電圧の絶対値が比較的大きなMOSトランジスタである。したがって出力ハイインピーダンス状態に、これらの入力バッファ回路3aおよび3bを設定しても、そのサブスレッショルドリーク電流はごくわずかであり、貫通電流による消費電流増加を防止することができる。

【0074】なお、電源フラグENは、データ退避完了後、スリープモード指示信号SLPを反転することにより生成することができる。

【0075】以上のように、この発明の実施の形態1に

10

20

30

40

50

従えば、メモリ混載LSIにおいて、スタンバイ状態時、ロジック回路の保持データをメモリ回路に転送して格納した後このロジック回路への電源電圧供給を停止しているため、スタンバイ状態時の消費電流を低減することができる。また、ロジック回路を低しきい値電圧のMOSトランジスタで構成することができ、高速動作するメモリ混載LSIを実現することができる。

【0076】〔実施の形態2〕図12(A)および

(B)は、この発明の実施の形態2におけるメモリ混載LSIの動作シーケンスを示す図である。図12(A)には、ロジック回路の電源電圧を遮断するパワーダウン時の動作シーケンスが示され、図12(B)には、このロジック回路への電源を再投入する動作時のシーケンスが示される。

【0077】図12(A)において、まず外部のシステムプロセッサ(メインプロセッサ)から電源断(パワーオフ)が告知される。たとえばスリープモード指示信号SLPを活性化することによりロジック回路へ電源断動作が告知される。ロジック回路においては、電源断を告知するコマンドが与えられると、先の実施の形態1において示したシーケンスに従って、転送制御回路の制御のもとに、フリップフロップ(F/F)のデータがメモリ回路へ転送される。メモリ回路においては、この転送制御回路の制御のもとに、ロジック回路から転送されたデータを書込み、ロジック回路のデータの退避を行なう。

【0078】ロジック回路からのフリップフロップ(F/F)のデータ転送が終了すると(これは転送制御回路により検出される)、図11に示す電源フラグ発生回路10が、電源フラグENおよび/ENを非活性化し、メモリ回路のインタフェース部が出力ハイインピーダンス状態に設定され、貫通電流の発生が防止される。

【0079】この電源フラグENおよび/ENが非活性化されると、次いで転送制御回路がシステムコマンドとして、転送終了をシステムプロセッサに告知し、システムプロセッサの制御のもとに、ロジック電源電圧VDDLの供給が停止される。

【0080】以降、パワーダウンモード(スリープモード)に入り、ロジック回路の電源電圧が供給停止状態になる。一方、メモリ回路においては、退避データの保持が行なわれる。メモリ回路がDRAMの場合、所定の周期で保持データ(退避データ)のリフレッシュが実行される。

【0081】次いで、このパワーダウンモード(スリープモード)を解除し、メモリ混載LSIへの電源投入を実行して、再びメモリ混載LSIへのアクセス動作を行なう場合の動作シーケンスについて図12(B)を参照して説明する。

【0082】まず、ロジック電源電圧が図示しないシステムプロセッサの制御のもとに投入され、このシステムプロセッサから、ロジック電源電圧を投入したというウェー

クアップを告知するコマンドがロジック回路へ与えられる。このウェークアップは、たとえばスリープモード指示信号SLPを非活性化することにより告知される。メモリ混載LSIにおいては、このスリープモード指示信号SLPの非活性化にตอบสนองして、電源フラグ発生回路10が電源フラグを活性化状態とし、メモリ回路3において、インタフェース部を出力ハイインピーダンス状態から解放する。

【0083】次いで、ロジック回路2は、電源フラグを電源断指示状態から解除した後、転送制御回路の制御のもとに、メモリ回路3へアクセスし、退避されたフリップフロップ(F/F)データをメモリ回路3から読出す。メモリ回路3から読出された退避データがロジック回路2内において、順次フリップフロップ群を介して転送され、パワーダウン移行前の状態にロジック回路が復元される。この退避データの転送動作が完了すると、メモリ混載LSIが、図示しないシステムプロセッサからのコマンドを待受ける状態となる。

【0084】図12(A)および(B)に示す一連の動作は、先の実施の形態1において示した転送制御回路6および電源フラグ発生回路10により実行される。

【0085】以上のように、この発明の実施の形態2に従えば、電源フラグを利用し、パワーダウン時、電源フラグにより、メモリ回路のインタフェース部を出力ハイインピーダンス状態とし、またウェークアップ動作時には、メモリ回路のインタフェース部を動作可能状態にした後に、メモリ回路からのデータの読出を行なっている。したがって、このフラグにより、確実にメモリ回路のインタフェース部の動作を制御することができ、正確にロジック回路のデータの退避およびロードを行なうことができる。

【0086】〔実施の形態3〕図13は、この発明の実施の形態3におけるメモリ混載LSIのメモリ回路の構成を概略的に示す図である。図13において、メモリ回路3が、DRAMで構成される。メモリ回路3は、行列状に配列される複数のダイナミック型メモリセルを有するメモリアレイ13を含む。このメモリアレイ13は、各々が行列状に配列される複数のメモリセルを有する複数のメモリブロック14に分割される。メモリブロック14の間に、メモリブロックの列上のメモリセルデータの検知および増幅を行なうためのセンスアンプ15が配置される。図13において1つのメモリブロック14と1つのセンスアンプ15を代表的に示す。

【0087】このメモリ回路3は、さらに、与えられたロウアドレス信号に従って、メモリアレイ13のアドレス指定された行を選択状態へ駆動するためのロウデコーダ16と、与えられた列アドレス信号に従ってメモリアレイ13のアドレス指定された列を選択するためのコラムデコーダ17と、メモリアレイ13のロウデコーダ16およびコラムデコーダ17により選択されたメモリセ

10

20

30

40

50

ルのデータの読出および書込を行なうためのプリアンプ／ライトドライバ18を含む。プリアンプ／ライトドライバ18に含まれるプリアンプは、メモリアレイ13の選択メモリのセルのデータを増幅して出力バッファ19へ伝達する。プリアンプ／ライトドライバ18に含まれるライトドライバは、データインバッファ20に結合され、このデータインバッファから与えられるデータをバッファ処理してメモリアレイ13の選択メモリのセルへ書込データを伝達する。出力バッファ19は、データ出力ノード21を介して読出データQをロジック回路へ転送し、またデータインバッファ20が、データ入力ノード22を介してロジック回路から与えられる入力データDをバッファ処理する。

【0088】このメモリ回路3はさらに、リフレッシュ周期を計測するリフレッシュタイマ25と、リフレッシュタイマ25からのリフレッシュ要求に従ってリフレッシュアドレスを発生するリフレッシュアドレスカウンタ26と、アービタ回路27の制御のもとにアドレス入力ノード23から与えられるアドレス信号とリフレッシュアドレスカウンタ26からのリフレッシュアドレスの一方を選択するマルチプレクサ28と、マルチプレクサ28を介して与えられるアドレス信号をバッファ処理して内部ロウアドレス信号を生成してロウデコーダ16へ与えるロウアドレスバッファ29と、アドレス入力ノード23から与えられる列アドレスを取込みバッファ処理して内部列アドレス信号を生成してコラムデコーダ17へ与えるコラムアドレスバッファ30と、制御信号ノード31へ与えられる制御信号に従って行選択に関連する動作を制御するロウ制御回路32と、制御信号ノード31から与えられる制御信号に従って列選択に関連する動作を制御するコラム制御回路33と、制御信号ノードへ与えられる制御信号に従ってデータ書込／読出に関連する動作を制御するリード／ライト制御回路34を含む。

【0089】アービタ回路27は、このメモリ回路3が、リフレッシュモードにありリフレッシュ動作を行なっているとき、外部からのアクセスをそのリフレッシュ完了時まで停止させる。またアービタ回路27は、リフレッシュタイマ25が、リフレッシュ要求を出力した場合、ウェート信号をシステムプロセッサへ与え、処理を中断させ、リフレッシュを実行する。したがってこのアービタ回路27の制御のもとにマルチプレクサ28の接続経路が設定され、またロウ制御回路32の動作も制御される。このロウ制御回路32は、アービタ回路27からのリフレッシュ指示に従って行選択動作をまた行なう。

【0090】リフレッシュタイマ25は、通常モード時のリフレッシュ周期およびセルフリフレッシュモード時のリフレッシュ周期両者を計測する。

【0091】ロウ制御回路32は、制御信号ノード31に、アレイ活性化を示すコマンド（ロウアクセスコマンドまたはアクティブコマンド）が与えられたときに行選

択に関連する動作を活性化する。すなわちロウ制御回路32の制御のもとにロウデコーダ16およびセンスアンプ15が活性化され、また、メモリアレイ13に含まれるビット線プリチャージ回路の動作が制御される。

【0092】コラム制御回路33は、データ書込または読出を指示するコマンドが与えられたとき活性化され、列選択動作に関連する回路を活性化する。このコラム制御回路33の制御のもとにコラムデコーダ17が動作する。しかしながら、このコラム制御回路33は、ロウ制御回路32の制御のもとに行系回路が動作した後に動作可能状態に設定される（これについては後に説明するが、標準DRAMにおけるコラムインターロック期間と称される期間に相当する）。

【0093】リード／ライト制御回路34は、データ読出を指示するリードコマンドが与えられると、プリアンプ／ライトドライバ18のプリアンプを活性化し、また出力バッファ19を活性化する。データ書込を示すライトコマンドが与えられると、このリード／ライト制御回路34は、データインバッファ20およびライトドライバを活性化する。

【0094】図13に示す構成において、行選択動作に関連する行系回路は、斜線で示すブロックであり、センスアンプ15、ロウデコーダ16、リフレッシュタイマ25、リフレッシュアドレスカウンタ26、ロウアドレスバッファ29、アービタ回路27およびロウ制御回路32を含む。これらの回路は、スリープモード時ににおいてメモリのセルデータのリフレッシュを実行するために動作する必要がある。

【0095】一方、リフレッシュ動作時においては、メモリアレイ13においてメモリのセルデータの読出、増幅および再書込が行なわれるだけであり、列選択動作は行なわれない。したがって、列選択動作に関連する回路、すなわち、コラムデコーダ17、プリアンプ／ライトドライバ18、出力バッファ19、データインバッファ20、コラムアドレスバッファ30、コラム制御回路33およびリード／ライト制御回路34は、このスリープモード時動作する必要はなく、したがってこの列系回路に対する電源電圧供給をスリープモード時停止する。これにより、メモリ回路3におけるスタンバイ電流を低減することができ、より低消費電流のメモリ混載LSIを実現することができる。

【0096】図14は、この発明の実施の形態3におけるメモリ電源5の構成を概略的に示す図である。図14において、メモリ電源5は、外部から与えられる行系メモリ電源電圧VDDMRを受ける電源ノード5raと、この電源ノード5raに結合され、内部電源電圧を行系回路35rに伝達するロウ系電源線5rbと、外部からの列系メモリ電源電圧VDDMCを受ける電源ノード5caと、電源ノード5caからの電源電圧を、列系回路35cへ伝達するコラム系電源線5cbを含む。

【0097】この図14に示すメモリ電源5の構成においては、パワーダウンモード（スリープモード）時、データ転送完了後、コラム系メモリ電源電圧VDDMCの供給が停止される。一方、ロウ系メモリ電源電圧VDDMRは、パワーダウンモード（スリープモード）時においても持続して供給される。この図14に示す構成においては、コラム系メモリ電源電圧VDDMCの供給停止は、図示しないシステムプロセサの制御のもとに実行される。メモリ回路3において、列系回路35cが動作電源電圧の供給が停止され、動作不能状態となるだけであり、電源電圧の制御が容易となる。ここで、パワーダウンモードは、スリープモードが指定されて実際に電源供給が停止されるモードを示す。

【0098】図15は、この発明の実施の形態3におけるメモリ電源5の他の構成を示す図である。図15において、メモリ電源5は、外部からのメモリ電源電圧VDDMを受ける電源ノード5aと、電源ノード5aに与えられた電源電圧を行系回路35rに伝達する主電源線5mと、この主電源線5mにスイッチングトランジスタ5sを介して接続されるコラム電源線5csとを含む。コラム電源線5cs上の電圧が、列系回路35cへ動作電源電圧として供給される。

【0099】スイッチングトランジスタ5sは、電源フラグ/ENに応答して主電源線5mとコラム電源線5csとを選択的に接続する。スリープモード（パワーダウンモード）時においては、電源フラグ/ENは、Hレベルにされ、このスイッチングトランジスタ5sが非導通状態となり、コラム電源線5csが主電源線5mと分離される。スイッチングトランジスタ5sのしきい値電圧の絶対値を大きくすることにより、サプスレッショルドリーク電流の影響を伴うことなく、主電源線5mとコラム電源線5csとを電氣的に切離することができる。コラム電源線5csは、この電源電圧供給停止時、急速に、接地電圧レベルへの列系回路35cを介した放電により、接地電圧レベルへ放電される。

【0100】この図15に示す構成の場合、電源フラグ/ENは、先の実施の形態2において示すように、電源断が告知され、スリープモード指示信号SLPが活性化状態となってデータ転送がロジック回路からメモリ回路に対して行なわれて完了した後に、Hレベルとなる。スリープモード解除時、このスリープモード指示信号SLPの非活性化に従って、電源フラグ/ENが活性化される。したがって、図16に示すように、この電源フラグ/ENがLレベルの期間、データ転送が行なわれており、ロジック回路のデータの退避およびロードが実行され、メモリ回路においては列系回路35cが動作する。この間、電源フラグ/ENに従ってスイッチングトランジスタ5sがオン状態にあり、コラム電源線5csが主電源線5mに接続される。したがって、単に電源線にスイッチングトランジスタを設けるだけで、スリープモ

ド時、行系回路35rに常時電源電圧を供給し、一方列系回路35cに対し電源電圧供給を停止することができる。この場合、外部からは、メモリ電源電圧VDDMが供給されるだけであり、電源端子数を低減することができる。

【0101】図17は、この発明の実施の形態3における行系回路35rおよび列系回路35cの構成を概略的に示す図である。図17において、行系回路35rは、外部から与えられるロウアクセス指示コマンドRCMDに従って行アクセスが指示されたことを検出し、アレイ活性化信号RACTを出力する行アクセス検出回路40と、行アクセス検出回路40からのアレイ活性化信号RACTに従ってセンスアンプ活性化信号SEを出力するセンスアンプ活性化回路41と、センスアンプ活性化信号SEを遅延してコラムイネーブル信号CLEを出力する遅延回路42を含む。

【0102】メモリ回路がDRAMの場合、ロウアクセス時、行系回路が動作し、センスアンプによりメモリセルデータが増幅されかつラッチされるまで、列系回路35cの動作は停止される。この列系回路35cの動作が停止される期間は、通常「コラムインターロック期間」と呼ばれる。センスアンプ活性化信号SEが活性化状態となり、メモリセルデータがセンスアンプによりラッチされて安定化するまで、コラムアクセス指示信号が与えられても、列系回路35cの動作は禁止され、これにより不安定なメモリセルデータの読出が行なわれるのを防止する。

【0103】列系回路35cは、遅延回路42からのコラムイネーブル信号CLEの活性化時活性化され、列アクセス指示コマンドCCMDに従って列選択に関連する動作を制御する列系制御回路43と、列系制御回路43の制御のもとに動作し、外部から与えられる列系信号SCAに従って所定の処理を施す列選択系回路44を含む。この列系信号SCAは、入出力データおよび列アドレス信号を含む。

【0104】列系回路35cに対し、さらに、スリープモード指示信号SLPに従って列系電源イネーブル信号CENを生成して列系制御回路43および列選択系回路44へ与える列系電源制御回路45が設けられる。この列系電源制御回路45からの列系電源イネーブル信号CENの活性化時、列系制御回路43および列選択系回路44は、その出力信号が、固定値に設定される。これにより、列系回路35cに対する電源電圧の供給が停止され、電源電圧が不安定なときにおいても、これらの列系回路35cにおいて貫通電流が流れるのを防止し、また不安定な列系電源電圧に従って列系回路35cが誤動作するのを防止する。

【0105】図18(A)は、列系制御回路43の構成の一例を示す図である。図18(A)において、列系制御回路43において、コラムイネーブル信号CLEと列

系電源イネーブル信号CENを受けるAND回路43aが設けられる。このAND回路43aからの列選択活性化信号CLE Dに従って、列系制御回路43の列選択動作がイネーブルされる。

【0106】図18(B)は、通常動作モード時における列系制御回路43の動作を示す信号波形図である。図18(B)において、通常動作モード時において、スリープモード指示信号SLPはLレベルの非活性状態にあり、応じて列系電源イネーブル信号CENはHレベルの活性状態にある。したがって、センスアンプ活性化信号SEが活性化されると、遅延回路42の有する遅延時間が経過後、コラムイネーブル信号CLEおよびAND回路43aからの列選択活性化信号CLE Dが活性化される。このセンスアンプSEの活性化から、コラムイネーブル信号CLEの活性化までの期間が、通常「コラムインターロック期間」と呼ばれ、列アクセス指示コマンドが与えられても、列選択動作(列アクセス)が禁止される。

【0107】一方、図18(C)に示すように、スリープモード時においては、スリープモード指示信号SLPがHレベルの活性化状態へ駆動される。このスリープモード指示信号SLPが活性化されると、ロジック回路の保持データがメモリ回路に退避された後、列系電源制御回路45からの列系電源イネーブル信号CENが非活性化状態のLレベルとなり、応じて図18(A)に示すAND回路43aからの列選択活性化信号CLE DがLレベルの非活性状態に固定される。これにより、列系回路35cの列選択動作は禁止される。

【0108】このスリープモード時において、列系電源電圧の供給が停止された場合、たとえAND回路43aへの電源電圧供給が停止され、その出力信号CLE Dの論理レベルが不安定となっても、列系電源イネーブル信号CENがLレベルに固定されており、列選択活性化信号CLE DがLレベルに固定される。これにより、ノイズなどによる信号の浮上りによる列系制御回路43における貫通電流が生じるのが防止される。

【0109】図19は、この発明の実施の形態3における列系回路のデータ入出力部の構成を概略的に示す図である。図19において、センスアンプ活性化信号SEが遅延回路46により遅延されて、データイネーブル信号DEが生成される。この遅延回路46からのデータイネーブル信号DEが活性化されると、このDRAMは、外部からの書込指示に従って書込データを取込むことが可能となる。

【0110】このデータ書込を制御するために、データイネーブル信号DEと、列系電源イネーブル信号CENと書込指示信号WRを受けるAND回路47が設けられる。このAND回路47の出力信号に従って、データインバッファ20に含まれるバッファ回路20aがそれぞれイネーブルされて、外部からのデータDを取込み内部

データDinを生成する。

【0111】書込指示信号WRは、たとえばデータ書込を指示するライトコマンドに従って生成される。

【0112】出力バッファ回路19においては、出力イネーブル信号OEMと列系電源イネーブル信号CENと内部読出データQinを受けるバッファ回路19aが設けられる。このバッファ回路19aからの出力データQがロジック回路へ与えられる。列系回路の電源電圧供給停止時、これらのバッファ回路19aおよび20aの出力データDおよびQがフローティング状態となるのを防止し、特に不安定な内部書込データDinにより内部動作が不安定となるのを防止する。

【0113】なお、図19に示す構成において、データインバッファ20が示されているが、列アドレス信号を取込む列アドレスバッファであってもよい。列系回路において、スリープモード時、各回路の出力信号の論理レベルが固定される。これにより、スリープモード時、ロウ系回路がリフレッシュ動作により動作し、ロウ系制御回路の出力信号の論理レベルが変化しても、列系回路の出力信号の論理レベルは固定されており、誤動作を防止することができる。

【0114】図20は、この発明の実施の形態3におけるDRAMのメモリアレイと列系回路のインタフェース部の構成を概略的に示す図である。図20において、ビット線対BLPとワード線WLの交差部に対応してメモリセルMCが配置される。このメモリセルMCは、ダイナミック型メモリセルであり、キャパシタとアクセストランジスタを含む。ビット線対BLPに対してセンスアンプ回路SAが設けられる。このセンスアンプ回路SAは、行系回路の構成要素であり、スリープモード時、所定の周期で活性化され、メモリセルMCの記憶データのリフレッシュを実行する。

【0115】センスアンプ回路SAは、列選択ゲートCSGを介して内部データ線対IOPに結合される。内部データ線対IOPには、コラム系電源電圧VDDMcを、活性化時、内部データ線対の各データ線に伝達するIO線プリチャージ回路50が設けられる。IO線プリチャージ回路50は、データ書込時に活性化される書込ドライバイネーブル信号WDEの活性化時非導通状態となり、それ以外、導通状態となり、内部データ線対IOPの各データ線に、コラム系電源電圧VDDMcを伝達する。コラム系電源電圧VDDMcは、電圧VDDMC、VDDMまたは降圧電圧のいずれでもよい。

【0116】列選択ゲートCSGは、コラムデコード17に含まれるコラムデコード回路17aからの列選択信号CSLに従って選択的に導通する。コラムデコード17(コラムデコード回路17a)は、コラム系電源電圧VDDMcを一方動作電源電圧として動作する。

【0117】スリープモード時、コラム系電源電圧VDDMcの供給が停止される。したがって、内部データ線

10

20

30

40

50

対 IOP および列選択線 CSL がフローティング状態となり、列選択ゲート CSG が導通し、ビット線対 BLP から内部データ線対 IOP に電流が流れる可能性がある。そこで、この内部データ線対 IOP に対し、列系電源イネーブル信号 CEN の反転信号である  $\overline{\text{CEN}}$  に従って導通する内部データ線リセット回路 52 を設け、またコラムデコーダ 17 から各出力線（列選択線）に対し、補の列系電源イネーブル信号  $\overline{\text{CEN}}$  に応答して導通するリセット用 MOS トランジスタ 53 を設ける。

【0118】通常動作モード時においては、これらの補の列系電源イネーブル信号  $\overline{\text{CEN}}$  は L レベルであり、内部データ線リセット回路 52 の各 MOS トランジスタは、非導通状態にあり、またリセット用 MOS トランジスタ 53 も非導通状態にある。

【0119】スリープモード時においては、補の列系電源イネーブル信号  $\overline{\text{CEN}}$  が H レベルとなり、リセット回路 52 に含まれる MOS トランジスタおよびリセット用 MOS トランジスタ 53 がオン状態となり、列選択線および内部データ線対 IOP がそれぞれ接地電圧レベルに固定される。したがって列系電源電圧  $\text{VDDM}_c$  の供給が停止されても、これらの列選択線 CSL および内部データ線対 IOP がフローティング状態となるのを防止することができる。これにより、リフレッシュ動作時、センスアンプ回路 SA の動作時、ビット線対 BLP と列選択線 CSL の容量結合により、列選択線 CSL 上の列選択信号の電圧レベルが上昇し、列選択ゲート CSG がオン状態となり、ビット線対 BLP から内部データ線対 IOP へ電流が流れるのを防止することができる。

【0120】また、スタンバイ状態時において、ビット線対 BLP が図示しないビット線プリチャージ/イコライズ回路により中間電圧レベルにプリチャージされているとき、ノイズなどにより、列選択線 CSL 上の電圧レベルが上昇して列選択ゲート CSG がオン状態となり、ビット線対 BLP から内部データ線対 IOP へ電流が流れるのを防止することができる。

【0121】なお、図 20 においては、列選択線 CSL それぞれに対応してリセット用 MOS トランジスタ 53 を設けている。しかしながら、補の列系電源イネーブル信号  $\overline{\text{CEN}}$  をコラムデコード回路 17a へ与え、コラムデコード回路 17a の出力信号がすべて L レベルに固定される構成が用いられてもよい。

【0122】以上のように、この発明の実施の形態 3 に従えば、メモリ回路が DRAM の場合、スリープモード時には、列系回路に対する電源電圧供給を停止しているため、メモリ回路における消費電流を低減することができる。

【0123】〔実施の形態 4〕図 21 は、この発明の実施の形態 4 に従うメモリ回路 3 の構成を概略的に示す図である。図 21 において、このメモリ回路 3 は、スタティック型メモリセルが行列状に配列される SRAM メモ

リアレイ 60 と、SRAM メモリアレイ 60 のアドレス指定された行を選択するためのロウデコーダ 61 と、SRAM メモリアレイ 60 のアドレス指定された列を選択するためのコラムデコーダ 62 と、コラムデコーダ 62 により選択された列上のメモリセルデータを増幅するためのセンスアンプ 63 と、センスアンプ 63 により読出された内部読出データをさらにバッファ処理して外部へ出力するための出力バッファ 64 と、外部から与えられる書込データをバッファ処理して内部書込データを生成し、図示しない書込ドライバを介して選択メモリセルへデータを書込むデータインバッファ 65 を含む。

【0124】このメモリ回路 3 は、さらに、外部から同時に与えられるロウアドレス信号およびコラムアドレス信号をそれぞれバッファ処理するロウアドレスバッファ 66 およびコラムアドレスバッファ 67 と、制御信号入力ノードに与えられる制御信号に従って行選択に関連する動作を制御するロウ制御回路 68 と、制御信号入力ノードに与えられる制御信号に従って列選択動作に関連する動作を制御するコラム制御回路 69 と、制御信号入力ノードに与えられる制御信号に従ってデータ書込/読出に関連する動作を制御するリード/ライト制御回路 70 を含む。

【0125】ロウ制御回路 68 およびコラム制御回路 69 は、たとえば、チップセレクト信号 CS またはデータアクセスコマンド（リードコマンドまたはライトコマンド）が与えられると並列に動作し、それぞれロウデコーダ 61 およびコラムデコーダ 62 の動作を制御する。ロウアドレスバッファ 66 およびコラムアドレスバッファ 67 は、スタティックに動作しており（標準 SRAM の場合）、アドレス入力ノードに与えられたアドレス信号に従って内部アドレス信号を生成する。このメモリ回路 3 が、たとえばバースト SRAM などのクロック同期型スタティックメモリの場合、ロウアドレスバッファ 66 およびコラムアドレスバッファ 67 は、図示しないアドレス制御回路の制御のもとに与えられたアドレス信号の取込および/または内部アドレス信号の生成を実行する。

【0126】図 21 に示すメモリ回路 3 において、SRAM メモリアレイ 60 へは、アレイ電源電圧  $\text{VDDM}_m$  が常時供給され、一方、ロウデコーダ 61、コラムデコーダ 62、センスアンプ 63、出力バッファ 64、データインバッファ 65、ロウアドレスバッファ 66、コラムアドレスバッファ 67、ロウ制御回路 68、コラム制御回路 69 およびリード/ライト制御回路 70 のメモリ周辺回路に対しては、電源スイッチ回路  $\text{SW}_s$  を介して周辺電源電圧  $\text{VDDM}_p$  が供給される。電源スイッチ回路  $\text{SW}_s$  は、電源制御信号  $\text{CENS}$  ( $=\text{CEN}$ ) の活性化時非導通状態となり、スリープモード時、データ退避動作完了後、この電源スイッチ回路  $\text{SW}_s$  は非導通状態となる。

【0127】SRAMメモリアレイ60へは、常時アレイ電源電圧VDDMmが供給され、退避されたデータが安定に保持される。

【0128】図22は、図21に示すSRAMメモリアレイおよびセンスアンプブロック63の構成を概略的に示す図である。図22において、ビット線対BLPとワード線WLの交差部にスタティック型メモリセルSMCが配置される。このスタティック型メモリセルSMCは、ワード線WL上の信号電位に応答して導通するアクセストランジスタQ1およびQ3と、ゲートおよびドレインが交差結合されるNチャネルMOSトランジスタQ2およびQ4を含む。MOSトランジスタQ2のゲートが記憶ノードSN2に結合され、MOSトランジスタQ4のゲートが記憶ノードSN1に結合される。

【0129】これらの記憶ノードSN1およびSN2は、高抵抗負荷素子Z1およびZ2を介してアレイ電源ノードに結合される。これらのアレイ電源ノードへは、アレイ電源電圧VDDMmが与えられる。

【0130】ビット線対BLPに対しては、ライトドライバイネーブル信号WDEの非活性化時導通し、ビット線BLおよび／BLへ電源電圧VDDMpを供給するビット線負荷回路70と、電源制御信号CENSの活性化時導通し、ビット線BLおよび／BLに接地電圧を伝達するビット線リセット回路71と、コラムデコード62からの列選択信号Yに従って導通し、ビット線対BLPを内部データ線対IOPに接続する列選択ゲートCSGが設けられる。

【0131】ビット線リセット回路71は、電源制御信号CENSの活性化時導通し、ビット線BLおよび／BLへそれぞれ接地電圧を供給するNチャネルMOSトランジスタQ5およびQ6を含む。

【0132】列選択ゲートCSGは、列選択信号Yにตอบสนองして導通し、ビット線BLおよび／BLをそれぞれ内部データ線IOaおよびIObに接続するトランスファゲートトランジスタTGaおよびTGbを含む。

【0133】内部データ線対IOPには、センスアンプイネーブル信号SEの活性化にตอบสนองして活性化され、内部データ線対IOP上の電位差を差動増幅して内部読出データQiを生成するセンスアンプ回路(SA)63aと、ライトドライバイネーブル信号WDEの活性化時活性化され、図21に示すデータインバッファ65からの内部書込データDiに従って内部データ線対IOPを駆動するライトドライバ(WD)72と、ライトドライバイネーブル信号WDEの非活性化時導通し、内部データ線IOaおよびIObに周辺電源電圧VDDMpを伝達する内部データ線プリチャージ回路73と、電源制御信号CENSの活性化時導通し内部データ線IOaおよびIObを接地電圧レベルに固定する内部データ線リセット回路75が設けられる。内部データ線対リセット回路75は、内部データ線IObおよびIOaそれぞれに対

応して設けられるNチャネルMOSトランジスタQ7およびQ8を含む。

【0134】ワード線WL上には、図21に示すロウデコード61からの行選択信号が伝達される。このワード線WLにも、電源制御信号CENSの活性化時導通し、ワード線WLを接地電圧レベルに固定するワード線リセットトランジスタ74が設けられる。列選択線に対しても同様、電源制御信号CENSの活性化時導通し、列選択信号Yを接地電圧レベルに固定するコラムリセットトランジスタ76が設けられる。

【0135】通常モード時においては、電源制御信号CENSはLレベルにあり、ビット線リセット回路76は非導通状態にあり、また内部データ線対リセット回路75およびリセットトランジスタ74および76はすべて非導通状態にあり、与えられたアドレス信号に従ってスタティックにメモリセルの選択動作が実行されて、データの書込／読出が行なわれる。

【0136】スリープモード時においては、データ転送完了後(ロジック回路のデータの退避)、この電源制御信号CENSがHレベルに立上がり、ビット線対BLP、ワード線WL、内部データ線対IOPおよび列選択信号Yがすべて接地電圧レベルに固定される。これにより、スリープモード時にフローティング状態となる回路部分が存在せず、たとえロウデコードおよびコラムデコードがスタティックに動作する回路であっても、ノイズなどの影響を受けることなく正確にメモリセルSMCに、退避データを格納することができる。またフローティング状態の部分が存在しないため、ノイズなどの影響により、貫通電流が流れる部分は存在せず、低消費電流で退避データを保持することができる。

【0137】なお、図22に示す構成において内部データ線対IOPをプリチャージするデータ線対プリチャージ回路73に対し、確実に、このプリチャージ回路73をスリープモード時非導通状態とするために、ライトドライバイネーブル信号WDEと電源制御信号CENSのORをとった信号が与えられてもよい。

【0138】周辺電源電圧VDDMpはスリープ時供給が停止されるため、たとえ、このプリチャージ回路73がスリープモード時導通状態にあっても、内部データ線対リセット回路75により内部データ線対IOPが接地電圧レベルに放電され、応じて、この周辺電源電圧VDDMpも接地電圧レベルに高速で放電される。

【0139】なお、SRAMをメモリ回路として利用する場合、メモリ周辺回路の電源電圧はすべて供給停止状態に設定されており、たとえロウ系回路とコラム系回路とが相互作用しても、その部分においては両回路への電源電圧供給が停止されており、特に出力電位を固定するなどの処置を行なう必要はない。

【0140】[変更例] 図23は、この発明の実施の形態4の変更例の構成を概略的に示す図である。図23に

において、このメモリ混載LSI 1は、ロジック回路2と同一基板上に集積化されるメモリ回路3として、不揮発性メモリ80を含む。ロジック回路2および不揮発性メモリ回路80へは、電源電圧VDDLおよびVDDMがそれぞれ電源スイッチ回路SW1およびSWmを介して供給される。

【0141】不揮発性メモリ80は、電源電圧の供給が停止されても、その記憶内容を保持する。したがって、スリープモード時において、不揮発性メモリ80に対する電源電圧VDDMの供給を停止する。メモリ混載LSI 1に対し、スリープモード時のスタンバイ状態時においては、ロジック回路2およびメモリ回路3両者に対する電源電圧の供給を停止することができ、より消費電力を低減することができる。

【0142】図24は、図23に示す半導体集積回路装置1のスリープモード時の動作シーケンスを示すフロー図である。システムコマンドとしてスリープモード指示が与えられると、まずロジック回路2の保持データが不揮発性メモリ80へ退避される。このデータの退避完了後、スイッチ回路SW1およびSWmがオフ状態となり、電源電圧VDDLおよびVDDM各回路2および3への供給が遮断される。この状態で、メモリ混載LSI 1はスタンバイ状態にある。システムコマンドがスリープモード解除を示すと、また外部の電源電圧VDDLおよびVDDMが供給され、ロジック回路2および不揮発性メモリ80が動作可能状態となり、次いで不揮発性メモリ80からロジック回路2に、退避データをロードする。このデータロード完了後、メモリ混載LSI 1が次のコマンドを待受ける状態となる。

【0143】なお、図23に示す構成においては、電源スイッチ回路SW1およびSWmをスリープモード時に電源フラグENに従って非導通状態に設定している。しかしながら、この電源電圧VDDLおよびVDDMの供給が停止されるように構成され、電源スイッチ回路SW1およびSWmが削除されてもよい。

【0144】以上のように、この発明の実施の形態4に従えば、メモリ回路がSRAMの場合には、メモリアレイのみに電源電圧を供給し、不揮発性メモリ（たとえばフラッシュメモリ）の場合には、メモリ回路への電源電圧の供給を停止しているため、メモリ回路の消費電流をより低減することができ、低消費電流で安定に退避データを保持することのできる半導体集積回路装置（メモリ混載LSI）を実現することができる。

【0145】〔実施の形態5〕図25は、この発明の実施の形態5に従うメモリ混載LSIのメモリ回路のアレイ部の構成を概略的に示す図である。図25において、メモリ回路は、DRAMで構成され、図13に示すメモリアレイ13が、ロジック回路の退避データを格納する退避領域82を含む。メモリアレイ13は、ロウアドレスRA0-RAmのアドレス空間を有する。退避領域8

2は、ロウアドレスRAa-RAbのアドレス空間を有する。この固定的に設定された退避領域82に、ロジック回路の退避データが格納される。

【0146】図26は、この発明の実施の形態5に従うメモリ回路のリフレッシュ制御部の構成を概略的に示す図である。図26において、リフレッシュ制御部は、退避領域の先頭アドレスRAaを格納し、格納した先頭アドレスRAaを、リフレッシュアドレスカウンタ93に対する初期値として設定する先頭アドレス設定回路90と、最終アドレスRAbを格納する最終アドレス格納回路91と、電源制御信号ENに従ってその周期が可変とされて一定の周期ごとにリフレッシュ要求信号φreqを出力する周期可変リフレッシュタイマ92と、周期可変リフレッシュタイマ92からのリフレッシュ要求信号φreqに従って、そのカウント値を増分または減分してリフレッシュアドレスRFADを出力するリフレッシュアドレスカウンタ93と、リフレッシュアドレスカウンタ93の出力するリフレッシュアドレスRFADと最終アドレス格納回路91に格納された最終アドレスRAbとを比較し、一致検出信号をリフレッシュアドレスカウンタ93へ与える比較回路94を含む。

【0147】リフレッシュアドレスカウンタ93は、比較回路94から一致検出信号が与えられると、先頭アドレス設定回路90からの先頭アドレスRAaにそのカウント値がリセットされる。比較回路94の出力が一致検出を示すときに、このリフレッシュサイクル完了後、先頭アドレス設定回路90からの先頭アドレスRAaに、リフレッシュアドレスカウンタ93のカウント値が強制的にリセットされる。したがって、先頭アドレス設定回路90は、その格納する先頭アドレスをリフレッシュ活性化信号RFAC Tの非活性化時に出力し、リフレッシュアドレスカウンタ93におけるカウント値の変更を行なう。

【0148】図13に示すロウ制御回路32は、周期可変リフレッシュタイマ92からのリフレッシュ要求信号φreqに従って、所定のパルス幅のリフレッシュ活性化信号RFAC Tを出力するリフレッシュ制御回路95と、このリフレッシュ制御回路95からのリフレッシュ活性化信号RFAC Tに従って行選択動作を制御する行系制御回路96を含む。リフレッシュ制御回路95は、また、電源フラグENの非活性化時、コラム制御回路33の動作を停止させる。スリープモード時においてはリフレッシュ動作のみが行なわれるため、列系回路の動作を禁止するためである。

【0149】行選択系回路は、図13に示すようにロウデコーダ、センスアンプ、およびビット線プリチャージ／イコライズ回路を含む。リフレッシュ制御回路95は、この電源フラグENの非活性化時に活性化されるように示される。しかしながら、通常動作モード時においてメモリセルデータをリフレッシュするリフレッシュサ



イクル(CBRリフレッシュ等)においても、リフレッシュ制御回路95は、リフレッシュ要求信号 $\phi req$ に従ってリフレッシュ活性化信号RFAC Tを生成する。この通常動作モード時のリフレッシュ時(CBRリフレッシュ等)についての制御は示していない。セルフリフレッシュモード時には、通常、このスリープモード時においてロジック回路からの制御信号に従って周期可変リフレッシュタイマ92が起動される。この周期可変リフレッシュタイマ92は、またリフレッシュ制御回路95の制御のもとに起動されてよい。

【0150】周期可変リフレッシュタイマ92は、電源フラグENの活性化時そのリフレッシュ要求信号 $\phi req$ を出力する周期を長くする。通常動作モード時には、この周期可変リフレッシュタイマ92は、予め定められた周期でリフレッシュ要求信号 $\phi req$ を出力する。

【0151】図27は、図26に示す周期可変リフレッシュタイマ92の構成を概略的に示す図である。図27において、周期可変リフレッシュタイマ92は、電源フラグENに従って発振周期が変更される可変発振器92aと、可変発振器92aの発振出力信号をカウントし、所定のカウンタ値に到達するごとにリフレッシュ要求信号 $\phi req$ を出力するカウンタ92bを含む。可変発振器92aはたとえば奇数段のインバータ回路を含むリングオシレータで構成される。電源フラグENの活性、非活性に従ってリングオシレータのインバータ段数が変更され、発振周期が変更される。

【0152】図28は、メモリアレイ13の全ワード線アドレスRA0-RAmをリフレッシュする際のリフレッシュ要求信号 $\phi req$ のリフレッシュ周期を示す。この場合においては、リフレッシュ周期 $t_{RF1}$ でリフレッシュ要求信号 $\phi req$ が出力される。

【0153】退避領域80のみをリフレッシュして、退避データのみをリフレッシュする場合、このリフレッシュ要求信号 $\phi req$ は図29に示すように、周期 $t_{RF2}$ で活性化される。この退避領域80のワード線アドレス数が、メモリアレイ13の全ワード線アドレスの1/2の場合、スリープモード時のリフレッシュ周期 $t_{RF2}$ は、通常モード時のリフレッシュ周期 $t_{RF1}$ の2倍となる。したがって、スリープモード時においてリフレッシュが行なわれる回数を低減することができ、リフレッシュ電流(単位時間当たり)を低減することができる。

【0154】なお、先頭アドレス設定回路90および最終アドレス格納回路91に対する先頭アドレスおよび最終アドレスの格納については、たとえばDRAMに設けられているモードレジスタ回路に、モードレジスタ設定コマンドを使用して格納することにより、容易にスリープモード移行時にこれらのアドレスを格納することができる。

【0155】なお、図13に示すように、メモリアレイ

13は、複数のメモリブロック14に分割される。したがって、先頭アドレスおよび最終アドレスとして、それぞれブロックアドレスを使用することにより、ブロック単位での退避領域設定を実現することができる。

【0156】また、リフレッシュアドレスカウンタ93のブロックアドレスに対応するリフレッシュブロックアドレスビットを、先頭ブロックアドレスに従って固定することにより、ブロック単位(2ブロック、4ブロック、8ブロック、...)での退避領域設定を行なってリフレッシュを行なうことができる。たとえばメモリアレイ13が16個のブロックを含む場合、4ビットのブロックアドレスで1つのメモリブロックを指定することができる。上位2ビットを固定することにより、下位2ビットにより4つのメモリブロックの1つを指定ことができ、退避領域は4ブロックで構成される。これらの初期アドレス設定および最終アドレスの設定は、図1に示す転送制御回路の制御のもとに実行されてよい。退避領域をデフォルト値として予め固定することなく、処理用途に応じてこのロジック回路の規模に応じて最適なサイズの退避領域を設定することができる。

【0157】図30は、スリープモード移行時のデータ転送の様子を示すタイムチャート図である。転送制御回路(図1)は、スリープモード移行時、ロジック回路2を介してまずアクティブコマンドACTをメモリ回路3へ与えて、メモリ回路(DRAM)の行を指定する。この行指定は、アドレスXに従って行なわれる。メモリ回路において、行選択が完了し、メモリセルデータがセンスアンプによりラッチされると、次いで、転送制御回路はデータ書込を示すライトコマンドWRTEを、ロジック回路2を介して列アドレスY0とともにメモリ回路へ与え、また同時に、書込データD0を与える。D0の書込が完了すると、次いで、転送制御回路の制御のもとにロジック回路に対し列アドレスY1およびデータD1をライトコマンドWRTEとともに与え、さらに、列アドレスY2と書込データD2をライトコマンドWRTEとともに与える。

【0158】1ページ(1ワード線)のデータが書込まれると、転送制御回路は再びロジック回路を介してメモリ回路へアクティブコマンドを与え、次のページへアクセスする。ここで、「ページ」は1つのロウアドレスで指定される領域を示す。

【0159】上述のようなページモードを利用することにより(ここではバースト長は1としている)、同一ページに連続してデータを書込むことができ、退避領域に含まれるワード線の数を少なくすることができる。また、ページモードの場合、同一行が連続してアクセスされ、この1つのページに対しすべて書込データが書込まれた後、次のページの選択が行なわれる。このページ変更時において、一旦プリチャージコマンドを与える。メモリ回路のアレイをプリチャージ状態にする回数を低減

することができ、応じて、データ転送時の消費電力を低減することができる。

【0160】上述の説明においては、転送制御回路の制御のもとにロジック回路が必要なコマンドおよびアドレスを送出している。この転送制御回路はロジック回路内に設けられてもよい。

【0161】図31は、このデータ転送時におけるデータビットの対応関係を示す図である。ロジック回路2においては、フリップフロップFFがbビットのデータを格納し、1つのフリップフロップ群FGにn個のフリップフロップ回路FFが配置されるため、ロジック回路2においては、転送データとして合計 $n \cdot b \cdot (k+1)$ ビットのデータが存在する。内部データバス（書込データバス）のビット幅をwとすると、転送制御回路がデータ転送を行なう回数は、 $n \cdot b \cdot (k+1) / w$ である。このデータ書込回数の書込を実行すると、メモリ回路においてページ#0〜#hにデータが書込まれている。今、1ページがaビットであるとする、ページ数(h+1)は次式で表わされる。

【0162】 $n \cdot b \cdot (k+1) / a = (h+1)$   
データビット幅wが広げれば、データ転送回数を少なくすることができる。

【0163】上述の説明においては、ページモードでデータを書込んでおり、バースト長は1であると想定している。しかしながら、メモリ回路がバーストモードでアクセス可能な場合、このバーストモードを利用することにより、より高速でデータの転送を行なうことができる。ここで、バーストモードは1つのライトコマンドまたはリードコマンドが与えられたとき、連続して読出されるデータの数（クロックサイクルの数）を示す。バーストサイクルのとき、クロック信号CLKの各サイクルにおいて書込データを転送することができ、高速のデータ書込／転送を実現することができる。

【0164】転送制御回路（図1参照）は、このロジック回路2の転送データビット数 $a \cdot b \cdot (k+1)$ と内部データバスのビット幅wとメモリ回路3のページのビット数aとの関係から、各コマンドを出力する。すなわち、転送制御回路（図1）は、データ転送回数が $a / w$ となると、1ページ全体にわたってデータが書込まれたことを検出して、ページ変更動作を行なう。すなわち、一旦プリチャージコマンドを与えて、再びアクティブコマンドを与える。

【0165】図32は、この図1に示す転送制御回路のアドレス発生部の構成を概略的に示す図である。図32において、転送制御回路6は、先頭ページアドレスを格納する先頭ページレジスタ100と、スリープモード指示信号SLPの活性化時、データ転送を制御するデータ転送制御回路103と、データ転送制御回路103の制御のもとに先頭ページレジスタ100に格納されたページアドレスを先頭ページアドレスとしてページアドレス

を発生するページアドレス発生回路101と、列アドレスを順次最小値から最大値に向かって発生する列アドレス発生回路102と、データ転送制御回路103の制御のもとにコマンドCMDを発生するコマンド発生回路104と、データ転送制御回路103の制御のもとに、ロジック回路のフリップフロップ群FFとデータバスとの間でのデータの入力／出力を行なうデータ出力／入力回路105を含む。

【0166】列アドレス発生回路102は、その発生する列アドレスが最大値に到達すると、最大列アドレス到達情報をデータ転送制御回路103へ与える。データ転送制御回路103は、コマンド発生回路104からアクティブコマンドを、ページアドレス発生回路101からのページアドレスとともに出力させた後、この最大列アドレス到達情報が与えられるまで列アドレス発生回路102に列アドレスYを発生させる。このとき、コマンド発生回路104は、ライトコマンドを発生する。

【0167】列アドレス発生回路102の列アドレスがページモードでの最大列アドレスに到達すると、データ転送制御回路103は、コマンド発生回路104からプリチャージコマンドを発生させ、メモリ回路のアレイを一旦プリチャージ状態に復帰させる。このとき、また、ページアドレス発生回路101は、列アドレス発生回路102からの最大列アドレス到達情報に従ってそのページアドレスが1増分される。続いて、プリチャージ完了後、データ転送制御回路103は、コマンド発生回路104にアクティブコマンドを発生させ、またページアドレス発生回路101から新たなページアドレスXを発生させる。これらのコマンド発生回路104、ページアドレス発生回路101および列アドレス発生回路102の信号出力タイミングは、データ転送制御回路103の制御のもとに、クロック信号CLKに同期する。

【0168】図32に示すアドレス発生回路を利用することにより、ページモードで、必要最小限のページにロジック回路のデータを退避させることができる。

【0169】データをロジック回路にロードする場合には、スリープモード指示信号の非活性化に従ってこのデータ転送制御回路103が、コマンド発生回路104からリードコマンドをライトコマンドに代えて出力させる。このときまた、ページアドレス発生回路101は、先頭ページアドレスレジスタ100からのアドレスを先頭アドレスとしてページアドレスを発生する。これにより、ページモードでデータの転送を実行することができる。

【0170】なお、メモリ回路がバーストモードで動作可能な場合には、バースト長分ほどアドレス発生回路102の発生する列アドレスおよびコマンド発生回路104が発生するライトコマンドまたはリードコマンドの数が低減される。

【0171】以上のように、この発明の実施の形態5に

従えば、メモリ回路のデータ退避領域のみリフレッシュを行なうように構成しているため、リフレッシュ周期を長くすることができ、応じてスリープモード時の消費電流を低減することができる。また、ページモードまたはバーストモードでデータの転送をロジック回路とメモリ回路との間で行なうことにより、ページ変更動作回数を低減することができ、アレイブリチャージ/活性化の回数が低減され、消費電流が低減される（ロウ系回路の活性/活性化のための充放電電流が流れる回数を低減することができるため）。

【0172】【実施の形態6】図33は、この発明の実施の形態6に従うメモリ混載LSIの全体の構成を概略的に示す図である。この図33に示すメモリ混載LSI1においては、ロジック回路2が、マルチスレッショルドフリップフロップ(MTF/F)112および113の間に挿入される組合せ論理回路111を含む。組合せ論理回路111は、高しきい値電圧(High Vt)のpチャネルMOSトランジスタの電源トランジスタ114を介して電源ノードに結合され、また高しきい値電圧MOSトランジスタの電源トランジスタ115を介して接地ノードに結合される。電源スイッチングトランジスタ114および115は、電源活性化信号/PEおよびPEの活性化にตอบสนองして導通し、組合せ論理回路111に動作電源電圧VDDLおよび接地電圧を供給する。ロジック回路2へは、外部からの電源電圧VDDLは常時供給される。ロジック回路内部においてのみ、電源スイッチングトランジスタをスリープモード時非導通状態とし、このロジック回路2における消費電流を低減する。

【0173】メモリ回路3においては、メモリ電源電圧VDDMが常時供給される（少なくともDRAMの場合、リフレッシュ動作を行なう必要があるため）。このメモリ回路3の構成としては、先の実施の形態1から5のいずれの構成が用いられてもよい。

【0174】図34は、図33に示すマルチスレッショルドフリップフロップ(MTF/F)112および113の構成を概略的に示す図である。図34において、マルチスレッショルドフリップフロップMTF/F(112, 113)は、動作時クロック信号CLKの立上がり同期して入力信号INを取込むフリップフロップF/Fと、電源活性化信号/PEの活性化時導通し、フリップフロップ117に電源電圧VDDLを供給する高しきい値電圧のpチャネルMOSトランジスタで構成される電源スイッチングトランジスタ118と、電源活性化信号PEの活性化時導通し、フリップフロップ117に接地電圧を供給する高しきい値電圧のnチャネルMOSトランジスタで構成される電源スイッチングトランジスタ119を含む。高しきい値電圧MOSトランジスタは、しきい値電圧の絶対値の大きなMOSトランジスタを示す。

【0175】図34に示すように、マルチスレッショル

ドフリップフロップMTF/F(112, 113)に対しても、電源活性化信号PEおよび/PEの非活性化時、フリップフロップ117への動作電源電圧の供給を停止することにより、フリップフロップ117におけるリーク電流（サブスレッショルドリーク電流）を抑制することができる。特に、電源スイッチングトランジスタとして高しきい値電圧MOSトランジスタを用いており、確実にサブスレッショルド電流が生じるのを防止することができる。

10 【0176】図33に示すメモリ混載LSIにおいては、図35に示すように、スリープモード指示信号SLPが活性化されると、図示しない転送制御回路（図1参照）の制御のもとに、ロジック回路2からメモリ回路3へデータの退避が実行される。このデータ退避完了後、電源活性化信号/PEおよびPEがそれぞれ非活性化され、ロジック回路2におけるマルチスレッショルドフリップフロップ112および113ならびに組合せ論理回路111に対する動作電源電圧の供給が停止される。以降スリープモード指示信号SLPの活性状態の間は、この状態が維持される。

20 【0177】スリープモード指示信号SLPが非活性化されると、この非活性化にตอบสนองして、電源活性化信号/PEおよびPEが活性化され、電源スイッチングトランジスタ114、115、118および119がすべて導通状態となり、このロジック回路2の組合せ論理回路111およびマルチスレッショルドフリップフロップ112および113に動作電源電圧が供給され、このロジック回路2が動作可能状態となる。

30 【0178】電源スイッチングトランジスタ114、115および118、119は、組合せ論理回路およびマルチスレッショルドフリップフロップMTF/Fそれぞれに対応して設けられてもよい。また、これに代えて、複数の組合せ論理回路（図3参照）に共通に電源スイッチングトランジスタ114および115が設けられ、またフリップフロップ112および113に共通に電源スイッチングトランジスタ118および119が設けられてもよい。またマルチスレッショルドフリップフロップ112および113は互いに相補的に動作するため、これらのマルチスレッショルドフリップフロップ(MTF/F)112、113には、それぞれ別々の電源スイッチングトランジスタが設けられてもよい。

40 【0179】これらの電源スイッチングトランジスタの配置は、ロジック回路2を安定化させかつ動作電源電圧の回復時間を短くするように、電源配置に応じて適当に定められる。

50 【0180】メモリ回路3における動作電源電圧の制御は、先の実施の形態1から5のいずれが用いられてもよい。電源活性化信号PEおよび/PEとしては、先の実施の形態1における転送制御回路に含まれる電源フラグ発生回路からのフラグENおよび/ENと同様のフラグ

が用いられればよい。

【0181】図33に示すメモリ混載LSIの場合、外部からの電源電圧VDDLおよびVDDMを常時供給する。したがって外部のたとえばシステムプロセッサは、スリープモードに合わせて電源供給を停止させる処理を行なう必要がなく、外部のシステムプロセッサの負荷が軽減される。

【0182】以上のように、この発明の実施の形態6に従えば、ロジック回路の外部からの電源電圧は常時供給し、ロジック回路内部でスリープモードに応じて選択的に動作電源電圧の供給の停止を行なうように構成しているため、またこの動作電源電圧の供給停止前にメモリ回路にフリップフロップの保持データを転送しているため、スタンバイ状態時における消費電流を低減することができ、またスリープモード解除後、高速で内部電源電圧を回復させ、メモリ回路からのロードデータに従ってもとの状態に復帰することができ、次の動作を早く始めることができる。

【0183】〔他の適用例〕上述の説明において、ロジック回路とメモリ回路とが同一半導体チップ上に集積化されている半導体集積回路装置を示している。この半導体集積回路装置は、ICカード、携帯電話などの携帯端末機器などに適用されてもよい。ロジック回路の実行する論理処理内容が、適用用途に応じて適当に定められる。

#### 【0184】

【発明の効果】以上のように、この発明に従えば、ロジック回路とメモリとが同一チップ上に混載された半導体集積回路装置において、スリープモード時、ロジック回路からメモリ回路へのデータ転送完了後、ロジック回路への動作電源電圧の供給を停止するように構成しているため、スタンバイ状態時における消費電力を低減することができる。また、スリープモード完了後、メモリ回路からロジック回路へ退避データをロードすることにより、ロジック回路をすぐにもとの状態に復帰させて次の処理に備えることができる。

【0185】すなわち、請求項1に係る発明に従えば、ロジック回路のデータをメモリ回路へ転送して退避させた後、特定動作モード時ロジック回路への動作電源電圧の供給を停止する電源を設けているため、ロジック回路の保持データを確実に保存しつつ、スタンバイ状態時における消費電力を低減することができる。

【0186】請求項2に係る発明に従えば、ロジック回路をクロック信号に同期してデータの転送を行なうフリップフロップと、これらのフリップフロップとデータ信号の授受を行なう論理積回路とで構成し、このフリップフロップに保持されたデータをメモリ回路へ退避させるように構成しているため、正確にロジック回路の保持データをメモリ回路へ退避させることができる。また、クロック信号に同期して高速で、このフリップフロップの

保持データをメモリ回路へ退避させることができる。

【0187】請求項3に係る発明に従えば、メモリ回路は、特定動作モードを示すフラグに従ってロジック回路からのデータを受けるインタフェース回路部分を出力ハイインピーダンス状態に設定しているため、ロジック回路の出力信号の不安定時においても、インタフェース回路において貫通電流が生じるのを防止することができ、消費電流を低減することができる。

【0188】請求項4に係る発明に従えば、特定動作の完了後、メモリ回路の退避データを再びロジック回路へロードするように構成しているため、早いタイミングでロジック回路を元の状態に復帰させることができ、次の処理に備えることができる。

【0189】請求項5に係る発明に従えば、メモリ回路がダイナミック型メモリセルを有する場合、行系回路に動作電源電圧を供給し、列系回路には動作電源電圧の供給を停止しているため、この列系回路における消費電流を低減することができ、また行系回路へは動作電源電圧が供給されており、メモリ回路の退避データを確実に保持することができる。

【0190】請求項6に係る発明に従えば、特定動作モード時には、列系電源回路へ外部からの電源電圧供給を停止するように構成したため、列系電源回路の制御が容易となる。

【0191】請求項7に係る発明に従えば、行系回路が、メモリセルの記憶データのリフレッシュを行なうように構成しているため、ダイナミック型メモリセルを用いたとしても、確実に退避データを保持することができる。

【0192】請求項8に係る発明に従えば、メモリ回路がスタティック型メモリセルを含む場合、このメモリセルアレイへの電源電圧のみを供給し、メモリアレイ周辺回路への動作電源電圧の供給を停止するように構成しているため、記憶データを確実に保持しつつ消費電流を低減することができる。

【0193】請求項9に係る発明に従えば、メモリ回路が不揮発性メモリで構成される場合、このメモリ回路への動作電源電圧の供給を停止するように構成したため、メモリ回路における消費電流を大幅に低減することができる。

【0194】請求項10に係る発明に従えば、メモリ電源は、電源ノードであり、外部から与えられる電源電圧の供給を特定動作モード時停止しているため、電源電圧の制御が容易となる。

【0195】請求項11に係る発明に従えば、データ退避時、メモリ回路の同一行を繰返しアクセスするようにアドレスを発生するように構成したため、同一ページに退避データを格納することができ、高速のデータ退避を実現することができる。

【0196】請求項12に係る発明に従えば、データ退

避回路により退避されたデータ格納領域のデータをリフレッシュするように構成しているため、メモリ回路のアレイ領域全体をリフレッシュする必要がなく、必要最小限の領域のリフレッシュのみで確実に退避データの保持を行なうことができる。

【0197】請求項13に係る発明に従えば、リフレッシュ間隔を特定動作モード時長くするように構成したため、スタンバイ状態時におけるリフレッシュ電流の平均値を低減することができる。

【0198】請求項14に係る発明に従えば、リフレッシュアドレスカウンタの発生するアドレスの範囲を特定動作モード時に設定するように構成したため、容易にリフレッシュ領域を設定することができ、ロジック回路の記憶データに応じて退避領域のサイズを設定することができる。

【0199】請求項15に係る発明に従えば、特定動作モード時、ロジック回路への電源電圧供給を停止するように構成しており、確実にロジック回路における消費電流を特定動作モード時低減することができる。

【0200】請求項16に係る発明に従えば、ロジック電源は、外部電源電圧を受けて内部電源電圧を発生する電源ノードであり、容易に外部の電源電圧供給停止だけでロジック回路の消費電流の低減を実現することができる。

【0201】請求項17に係る発明に従えば、フリップフロップと組合せ論理回路とを含むロジック回路において、フリップフロップ回路用の電源スイッチングトランジスタおよび組合せ論理回路用の電源スイッチングトランジスタとを設け、特定動作モード時、これらの電源スイッチングトランジスタを非導通状態に設定しているため、外部からの電源電圧供給を継続して、ロジック回路における消費電流を低減することができ、外部のプロセッサの電源電圧供給を行なうための負荷が軽減される。

【0202】請求項18に係る発明に従えば、特定動作モード時、列選択制御回路の出力信号の論理レベルを固定するように構成しているため、行系回路の出力信号に従って、列系回路が不安定な電源電圧に従って動作するのを防止することができる。それにより、列系制御回路の出力信号がフローティング状態となり、誤動作を生じるのを防止することができる。

【0203】請求項19に係る発明に従えば、特定動作モード時、データアクセスを制御するためのアレイとのインタフェース部に存在する列アクセス制御回路の出力信号を特定動作モード時非活性状態に強制的に設定するように構成しており、確実に列アクセス制御回路の出力信号がフローティング状態となってメモリアレイから列系回路へ電流が流れるのを防止することができ、貫通電流により消費電流が生じるのを防止することができる。

【0204】請求項20に係る発明に従えば、特定動作モード時、列系回路の出力信号の論理レベルを固定する

ように構成しているため、列系回路の出力信号がフローティング状態となってノイズなどの影響により誤動作が生じ、これにより、動作電源電圧が供給される回路から電流が流出するのを防止することができ、応じて消費電流を低減することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体集積回路装置の全体の構成を概略的に示す図である。

【図2】 図1に示すロジック電源およびメモリ電源の構成を概略的に示す図である。

【図3】 図1に示すロジック回路の構成を概略的に示す図である。

【図4】 図3に示すフリップフロップの構成を概略的に示す図である。

【図5】 図3に示す組合せ論理回路の構成の一例を示す図である。

【図6】 図1に示すロジック回路の全体の構成を概略的に示す図である。

【図7】 この発明の実施の形態1に従うロジック回路の1段の論理段の構成を概略的に示す図である。

【図8】 この発明の実施の形態1に従うロジック回路の構成を概略的に示す図である。

【図9】 この発明の実施の形態1におけるロジック回路のデータ転送シーケンスを概略的に示す図である。

【図10】 図1に示す転送制御回路の構成を概略的に示す図である。

【図11】 この発明の実施の形態1に従う半導体集積回路装置のロジック回路とメモリ回路のインタフェース部の構成を概略的に示す図である。

【図12】 (A) および (B) は、この発明の実施の形態2における半導体集積回路装置のスリープモード時のパワーダウンおよびパワーアップモード時の動作シーケンスのフローを示す図である。

【図13】 この発明の実施の形態3に従う半導体集積回路装置の全体の構成を概略的に示す図である。

【図14】 この発明の実施の形態3におけるメモリ電源回路の構成を概略的に示す図である。

【図15】 この発明の実施の形態3におけるメモリ電源回路の他の構成を概略的に示す図である。

【図16】 この発明の実施の形態3における動作を示す信号波形図である。

【図17】 この発明の実施の形態3における半導体集積回路装置の要部の構成を概略的に示す図である。

【図18】 (A) は、図17に示す列系制御回路の入力部の構成を示し、(B) は、図17に示す回路の動作を示す信号波形図であり、(C) は、この発明の実施の形態3におけるスリープモード時のメモリ回路の動作を示す信号波形図である。

【図19】 この発明の実施の形態3のデータ入出力部の構成を概略的に示す図である。

【図 20】 この発明の実施の形態 3 におけるメモリ回路のアレイ部と列系回路のインタフェース部の構成を概略的に示す図である。

【図 21】 この発明の実施の形態 4 に従う半導体集積回路装置のメモリ回路の構成を概略的に示す図である。

【図 22】 図 21 に示すメモリ回路の要部の構成を概略的に示す図である。

【図 23】 この発明の実施の形態 4 の変更例の構成を概略的に示す図である。

【図 24】 この発明の実施の形態 4 に従う半導体集積回路装置に動作シーケンスを示すフロー図である。

【図 25】 この発明の実施の形態 5 に従う半導体集積回路装置のメモリ回路のアレイ部の構成を概略的に示す図である。

【図 26】 この発明の実施の形態 5 における半導体集積回路装置のリフレッシュ制御部の構成を概略的に示す図である。

【図 27】 図 26 に示す周期可変リフレッシュタイマの構成を概略的に示す図である。

【図 28】 この発明に従う半導体集積回路装置のメモリ回路のリフレッシュ周期を示す図である。

【図 29】 この発明の実施の形態 5 における半導体集積回路装置のスリープモード時のリフレッシュ周期を示す図である。

【図 30】 この発明の実施の形態 5 におけるデータ転送シーケンスを概略的に示す図である。

【図 31】 この発明の実施の形態 5 におけるデータ回避時の回避データと格納ページとの対応関係を概略的に示す図である。

【図 32】 この発明の実施の形態 5 における半導体集積回路装置のリフレッシュ制御部の構成を概略的に示す図である。

【図 33】 この発明の実施の形態 6 に従う半導体集積回路装置の全体の構成を概略的に示す図である。

【図 34】 図 33 に示すマルチスレッシュホールドフリップフロップの構成を概略的に示す図である。

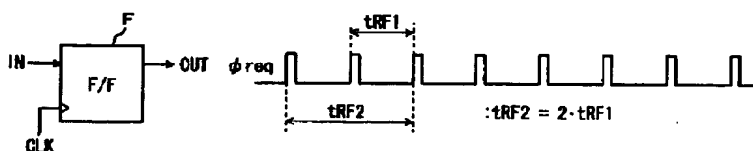
【図 35】 この発明の実施の形態 6 における半導体集積回路装置の動作を示す信号波形図である。

【符号の説明】

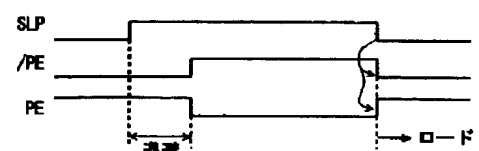
1 メモリ混載 LSI (半導体集積回路装置)、2 ロジック回路、3 メモリ回路、4 ロジック電源、5 メモリ電源、LG00-LG1n 組合せ論理回路、F

00-F2m, F フリップフロップ、LG 組合せ論理回路、FG0-FGk フリップフロップ回路群、LGS1-LGSk 論理段、BYP1-BYPk バイパス回路、OK 出力回路、BIPa トランスファゲート、BIPb マルチプレクサ、3a, 3b トライステート入力バッファ、2c-2e, 3e バッファ回路、13 メモリアレイ、14 メモリブロック、15 センスアンプ、16 ロウデコーダ、17 コラムデコーダ、18 プリアンプ/ライトドライバ、19 出力バッファ、20 データインバッファ、25 リフレッシュタイマ、26 リフレッシュアドレスカウンタ、27 アービタ回路、28 マルチプレクサ、29 ロウアドレスバッファ、30 コラムアドレスバッファ、32 ロウ制御回路、33 コラム制御回路、34 リード/ライト制御回路、35r 行系回路、35c 列系回路、5ra, 5ca 電源ノード、5m 内部電源線、5a 電源ノード、5s 電源スイッチングトランジスタ、40 行アクセス検出回路、41 センスアンプ活性化回路、42 遅延回路、43 列系制御回路、44 列選択系回路、45 列系電源制御回路、BLP ビット線対、SA センスアンプ回路、50 IO線プリチャージ回路、52 IO線リセット回路、53 リセットトランジスタ、CSG 列選択ゲート、60 SRAMメモリアレイ、61 ロウデコーダ、62 コラムデコーダ、63 センスアンプ、64 出力バッファ、65 データインバッファ、66 ロウアドレスバッファ、67 コラムアドレスバッファ、68 ロウ制御回路、69 コラム制御回路、70 リード/ライト制御回路、SWs 電源スイッチングトランジスタ、75 IO線リセット回路、71 ビット線リセット回路、74 リセットトランジスタ、80 不揮発性メモリ、SW1, SWm 電源スイッチングトランジスタ、82 回避領域、90 先頭アドレス設定回路、91 最終アドレス格納回路、92 周期可変リフレッシュタイマ、93 リフレッシュアドレスカウンタ、94 比較回路、95 リフレッシュ制御回路、96 行系制御回路、100 先頭ページレジスタ、101 ページアドレス発生回路、102 列アドレス発生回路、103 データ転送制御回路、104 コマンド発生回路、114, 115 電源スイッチングトランジスタ、112, 113 マルチスレッシュホールドフリップフロップ、118, 119 電源スイッチングトランジスタ。

【図 4】

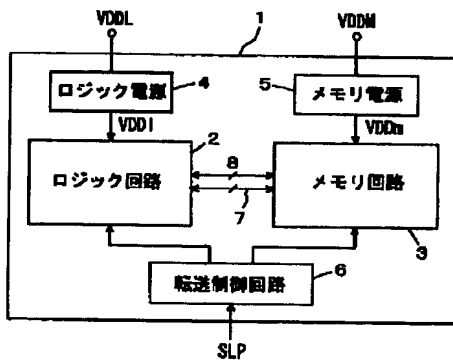


【図 28】

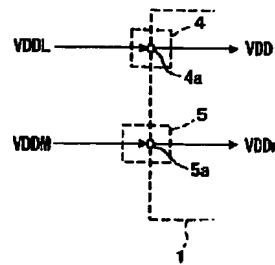


【図 35】

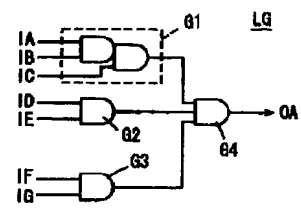
【図1】



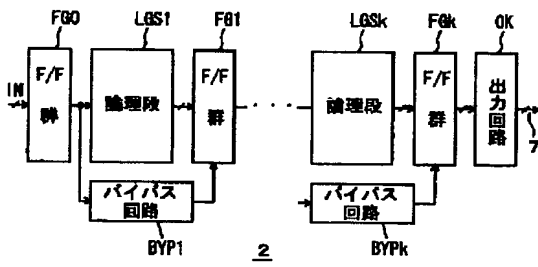
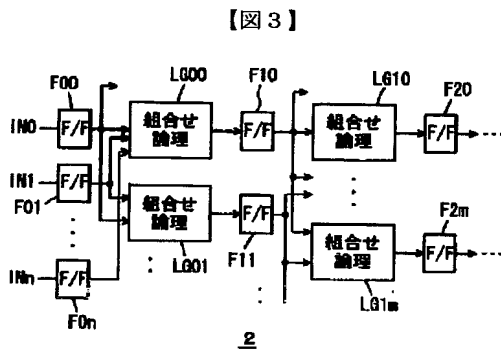
【図2】



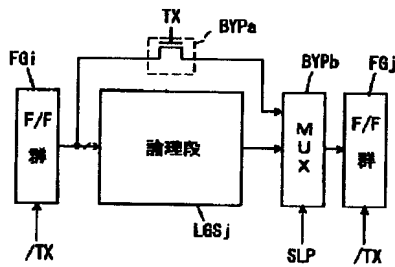
【図5】



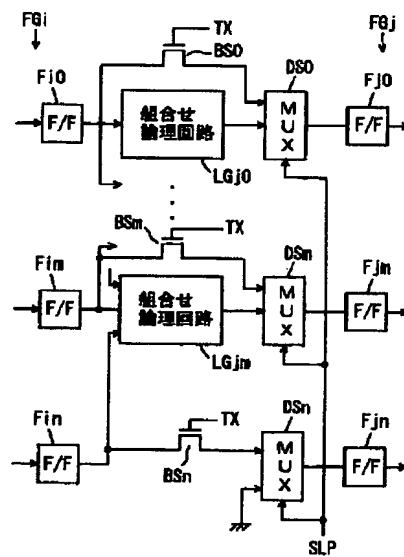
【図6】



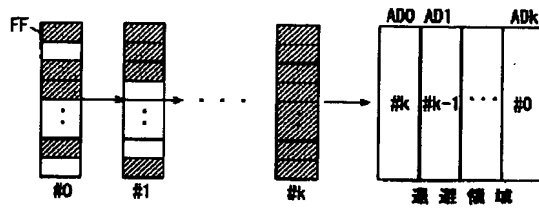
【図7】



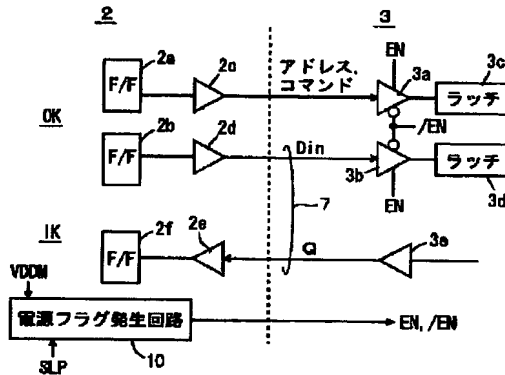
【図8】



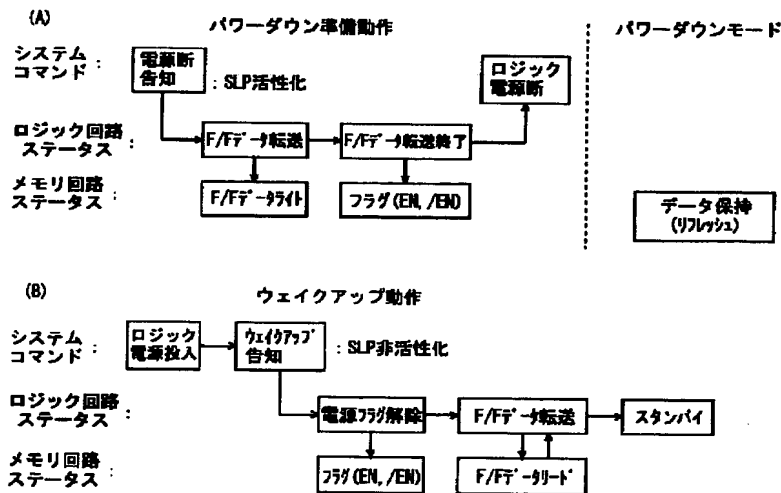
【図 9】



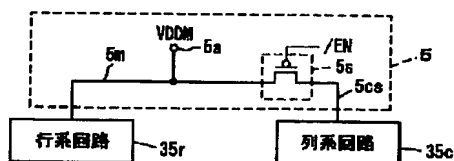
【図 11】



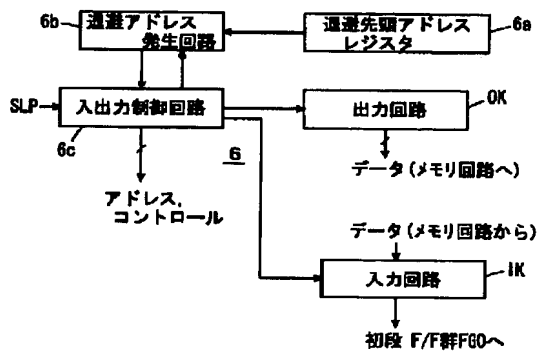
【図 12】



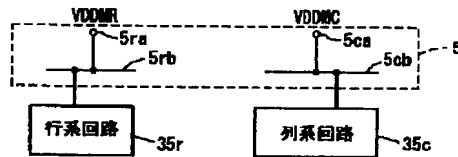
【図 15】



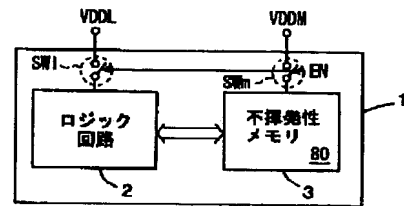
【図 10】



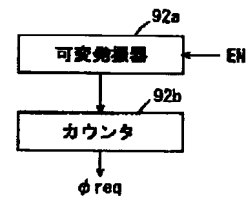
【図 14】



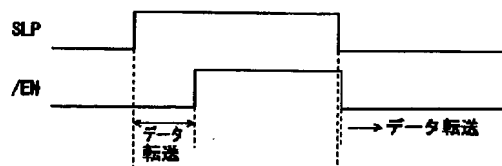
【図 23】



【図 27】

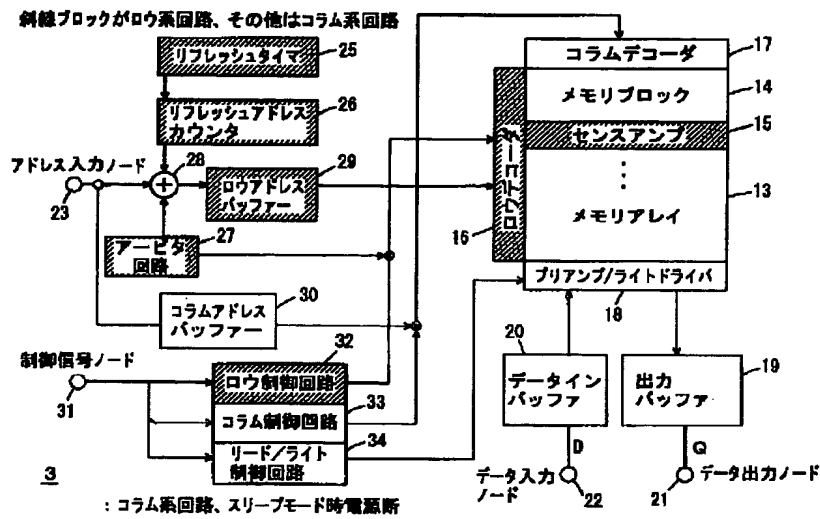


【図 16】

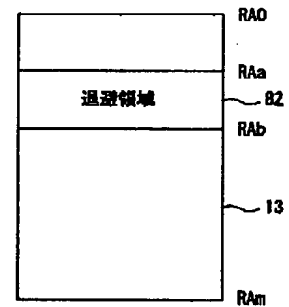




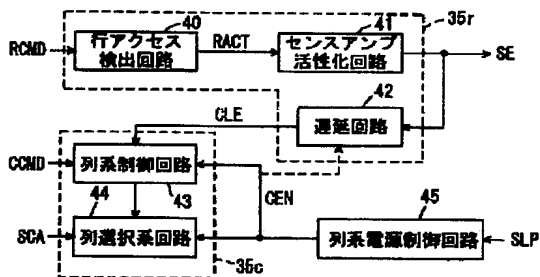
【図13】



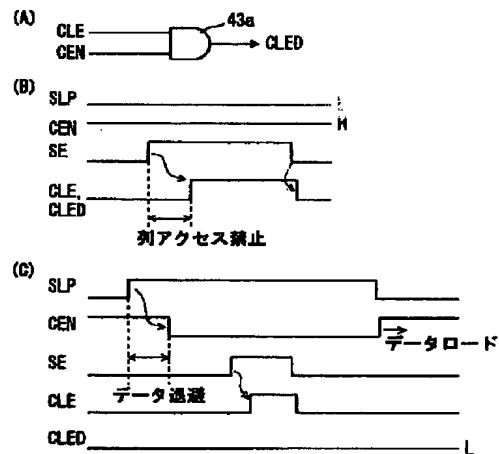
【図25】



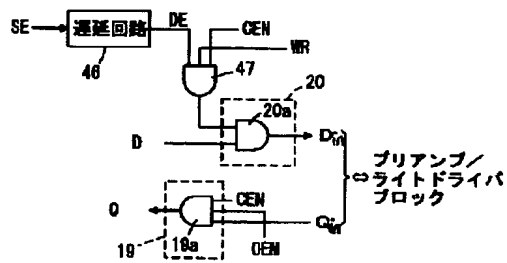
【図17】



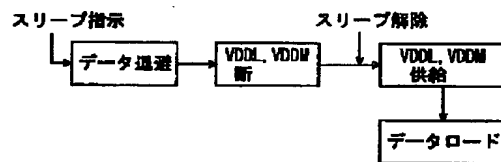
【図18】



【図19】



【図24】



【図29】





